

**Stydium Informatyki
i Multimediiów**

**Urządzenia techniki
komputerowej**

Semestr I

**Opracował:
mgr inż. Konrad Sobolewski**

Spis treści

1. 1. ARYTMETYKA CYFROWA.	4
1.1. 1.1. POZYCYJNE SYSTEMY LICZBOWE.	4
1.2. 1.2. OPERACJE ARYTMETYCZNE NA LICZBACH DWÓJKOWYCH.	5
1.3. 1.3. ALGEBRA LOGIKI.	6
1.4. 1.4. FUNKTORY LOGICZNE.	7
2. 2. ELEMENTY I UKŁADY FUNKCJONALNE.	10
2.1. 2.1. PRZERZUTNIKI.	10
2.2. 2.2. REJESTRY.	15
2.3. 2.3. LICZNIKI.	18
2.4. 2.4. UKŁADY FUNKCJONALNE:	20
2.5. 2.5. PODZIAŁ, PARAMETRY I OZNACZENIA.	23
2.6. 2.6. ŁĄCZENIE UKŁADÓW PAMIĘCI SCALONYCH W BLOKI O RÓŻNYCH ORGANIZACJACH.	30
3. 3. SYSTEMY MIKROPROCESOROWE.	34
3.1. 3.1. ARCHITEKTURA MIKROPROCESORÓW.	34
3.2. 3.2. DOSTĘP DO PAMIĘCI.	36
3.3. 3.3. ADRESOWANIE.	38
3.4. 3.4. STRONICOWANIE.	40
3.5. 3.5. OBSŁUGA PRZESTRZENI ADRESOWEJ I/O.	41
3.6. 3.6. CACHING.	43
4. PŁYTY GŁÓWNE.	53
4.1. PROCESORY – RODZAJE, PARAMETRY OZNACZENIA, INSTALACJA.	59
4.2. GNIAZDA ROZSZERZEŃ.	64
4.3. ZŁĄCZA I ZWORKI NA PŁYTACH GŁÓWNYCH.	72
4.4. WSPÓLCZESNE UKŁADY CHIPSET.	77
4.5. ZARZĄDZANIE POBOREM MOCY (POWER MANAGEMENT).	89
4.6. BŁOK PAMIĘCI KOMPUTERA.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
4.7. STRUKTURA PAMIĘCI RAM.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
4.8. PAMIĘĆ PODRĘCZNA CACHE.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
4.9. PAMIĘĆ STAŁA EPROM I EEPROM.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
4.10. PROGRAMY BIOS SETUP.	98
5. ORGANIZACJA STANOWISKA PRACY, PRZEPISY BHP PRZY PRACACH ZWIĄZANYCH Z URZĄDZENIAMI KOMPUTEROWYMI.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
5.1. ORGANIZACJA STANOWISKA PRACY DO MONTAŻU, SERWISU URZĄDZEŃ KOMPUTEROWYCH POD WZGLĘDEM BEZPIECZEŃSTWA PRACY.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.
5.2. ERGONOMIA STANOWISKA KOMPUTEROWEGO.	BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.

- 6. KONFIGUROWANIE PŁYT GŁÓWNYCH..... BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.**
- 6.1. WYMIANA PROCESORA, ZMIANA CZĘSTOTLIWOŚCI ZEGARA SYSTEMOWEGO, ROZSZERZANIE POJEMNOŚCI PAMIĘCI GŁÓWNEJ, ZEROWANIE SPRZĘTOWE PAMIĘCI CMOS, WYMIANA PROGRAMU BIOS.....**BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.**
- 6.2. URUCHOMIENIE ZESTAWU KOMPUTEROWEGO.**BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.**
- 6.3. BADANIE WPLYWU SPRZĘTOWEJ KONFIGURACJI KOMPUTERA NA JEGO PRACĘ: WPLYWU PROCESORA, WPLYWU PAMIĘCI CACHE, WPLYWU WIELKOŚCI PAMIĘCI OPERACYJNEJ. **BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.**
- 6.4. KONFIGUROWANIE SYSTEMU ZA POMOCĄ PROGRAMU SETUP-BIOS.....**BŁĄD! NIE ZDEFINIOWANO ZAKŁADKI.**

1. Arytmetyka cyfrowa.**1.1. Pozycyjne systemy liczbowe.****Naturalny Kod Binarny – NKB**

$$L(A) = \sum_{i=0}^{n-1} a_i 2^i$$

zakres liczbowy:

$$0 \div (2^n - 1)$$

np.:

$$12_{(10)} = 1100_{(2)}$$

Kod uzupełnień do dwóch – U2

$$L(A) = -a_{n-1} \cdot 2^{n-1} + \sum_{i=0}^{n-2} a_i 2^i$$

zero ma jedną reprezentację

zakres liczb:

$$-2^{n-1} \div (2^{n-1} - 1)$$

tworzenie liczby przeciwnej:

$$-L(A) = L(\bar{A}) + 1$$

np.:

$$11_{(10)} = 01011_{(2)}$$

$$-11_{(10)} = 10101_{(2)}$$

wynik dodawania jest poprawny, gdy przeniesienie na i z pozycję znaku są sobie równe.

Kod U1.

$$L(A) = -a_{n-1} (2^{n-1} - 1) + \sum_{i=0}^{n-2} a_i 2^i$$

np.:

$$0110 = 6$$

$$1010 = -5$$

$$1111 = 0$$

$$0000 = 0$$

dwie reprezentacje zera,

zakres liczb:

$$-(2^{n-1} - 1) \div (2^{n-1} - 1)$$

tworzenie liczby przeciwnej:

$$-L(A) = L(\bar{A})$$

wynik dodawania jest poprawny, gdy przeniesienie na i z pozycję znaku są sobie równe.

Znak modułu – ZM.

najstarszy bit mówi nam o znaku, np.:

$$0:010 = 2$$

$$1:010 = -2$$

zakres liczb:

$$-(2^{n-1} - 1) \div (2^{n-1} - 1)$$

tworzenie liczby przeciwnej:

$$-L(A) = L(\bar{a}^{n-1})$$

Kod 1 z N.

wartość liczby poprzez wskazanie kolejnej pozycji, np.

$$0001 = 1$$

$$0010 = 2$$

$$0100 = 3$$

$$1000 = 4$$

Kod BCD – dziesiętny kod binarny.

każdą cyfrę liczby dziesiętnej kodujemy osobno, np.:

$$48_{(10)} = 0100:1000_{(BCD)}$$

stosowany do obsługi wyświetlaczy siedmiosegmentowych.

Kod ASCII.

kod używany do kodowania znaków, takich jak litery czy cyfry, powszechnie stosowany w informatyce, np.:

$$32_{(10)} = \text{spacja}$$

$$48_{(10)} = \text{zero}$$

1.2. Operacje arytmetyczne na liczbach dwójkowych.

Tu poćwiczmy sobie różnego rodzaju operacje na liczbach dwójkowych: dodawanie, odejmowanie, mnożenie i dzielenie.

Ze względu na łatwość konwersji liczb całkowitych poniżej omówię tylko konwersję liczb ułamkowych. Najlepiej na przykładzie liczby 9.8125

$$\begin{array}{l}
 9 : 2 = 4r1 \\
 4 : 2 = 2r0 \\
 2 : 2 = 1r0 \\
 1 : 2 = 0r1
 \end{array}
 \left. \vphantom{\begin{array}{l} 9 : 2 = 4r1 \\ 4 : 2 = 2r0 \\ 2 : 2 = 1r0 \\ 1 : 2 = 0r1 \end{array}} \right\} 9_{(10)} = 1001_{(2)}$$

$$\begin{array}{l}
 0.8125 \cdot 2 = 1.625 \rightarrow 1 \\
 0.625 \cdot 2 = 1.25 \rightarrow 1 \\
 0.25 \cdot 2 = 0.5 \rightarrow 0 \\
 0.5 \cdot 2 = 1 \rightarrow 1
 \end{array}
 \left. \vphantom{\begin{array}{l} 0.8125 \cdot 2 = 1.625 \rightarrow 1 \\ 0.625 \cdot 2 = 1.25 \rightarrow 1 \\ 0.25 \cdot 2 = 0.5 \rightarrow 0 \\ 0.5 \cdot 2 = 1 \rightarrow 1 \end{array}} \right\} 0.8125_{(10)} = 1101_{(2)}$$

$$9.8125_{(10)} = 1001.1101_{(2)}$$

Przy zamianie liczby całkowitej (części całkowitej) dzielimy ją przez 2^1 do momentu otrzymania wyniku 0 – wtedy poczynając od dołu spisujemy kolejno wyniki reszt z dzielenia i otrzymujemy liczbę binarną. W przypadku części ułamkowej mnożymy ją przez 2 i zapisujemy, a jako „resztę” z mnożenia zapisujemy część całkowitą – postępujemy tak do momentu uzyskania wyniku 1. W praktyce nie zawsze możliwe jest przedstawienie ułamka w postaci skończonej. Dla wprawy można przećwiczyć liczbę 0.35.

1.3. Algebra logiki.

Podrozdział ten omawia podstawowe zasady algebry Boole’a.

twierdzenie o podwójnej negacji:

$$\overline{\overline{a}} = a$$

twierdzenie o dopełnieniu:

$$a + \overline{a} = 1$$

$$a \cdot \overline{a} = 0$$

twierdzenie o alternatywie:

$$a + 0 = a$$

$$a + 1 = 1$$

twierdzenie o koniunkcji:

$$a \cdot 0 = 0$$

$$a \cdot 1 = a$$

twierdzenie o przemienności:

$$a \cdot b = b \cdot a$$

$$a + b = b + a$$

twierdzenie o łączności:

$$a + (b + c) = (a + b) + c$$

$$a \cdot (b \cdot c) = (a \cdot b) \cdot c$$

twierdzenie o rozdzielności:

¹ Identycznie postępujemy w przypadku innych systemów liczbowych, przy czym dzielnikiem jest podstawa danego systemu.

$$a \cdot (b + c) = (a \cdot b) + (a \cdot c)$$

$$a + (b \cdot c) = (a + b) \cdot (a + c)$$

a	b	c	$a + (b \cdot c)$	$(a + b) \cdot (a + c)$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

twierdzenie o absorpcji:

$$a + (a \cdot b) = a$$

$$a \cdot (a + b) = a$$

prawa deMorgana:

$$\overline{a + b} = \bar{a} \cdot \bar{b}$$

$$\overline{a \cdot b} = \bar{a} + \bar{b}$$

1.4. Funktory logiczne.

NOT:



a	y
0	1
1	0

AND:



a	B	y
0	0	0
0	1	0
1	0	0
1	1	1

OR:



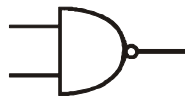
a	b	y
0	0	0
0	1	1
1	0	1
1	1	1

NOR:



a	b	y
0	0	1
0	1	0
1	0	0
1	1	0

NAND:



a	b	y
0	0	1
0	1	1
1	0	1
1	1	0

EXOR:



a	b	y
0	0	0
0	1	1
1	0	1
1	1	0

EX-NOR:



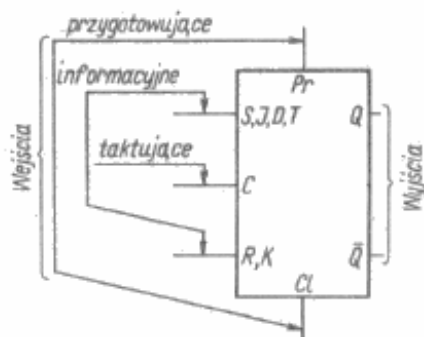
a	b	y
0	0	1
0	1	0
1	0	0
1	1	1

2. Elementy i układy funkcjonalne.

Podstawowymi układami funkcjonalnymi stosowanymi w technice komputerowej są przerzutniki, rejestry i liczniki. W rozdziale tym krótko omówimy pełnione funkcje oraz zasadę działania.

2.1. Przerzutniki.

Przerzutnikiem *bistabilnym* jest nazywany układ elektroniczny, charakteryzujący się istnieniem dwóch stanów wyróżnionych równowagi trwałej, przy czym dla przejścia z jednego stanu do drugiego jest konieczne doprowadzenie sygnału zewnętrznego wyzwalającego krótkotrwały proces generacji. Przerzutnik bistabilny jest podstawowym elementem cyfrowych układów sekwencyjnych. Ponieważ przerzutnik pamięta jeden bit informacji, stąd może być nazwany także jednobitową komórką pamięci lub jednostką pamięci. Ogólny symbol graficzny przerzutnika pokazany jest na rys. 2.1.



Rys. 2.1. Ogólny symbol graficzny przerzutnika.

Przerzutnik ma pewną liczbę wejść i z reguły dwa wyjścia. Wyjścia Q i $\sim Q$ tworzą przeciwstawną parę komplementarną. Stan logiczny wyjścia Q uważa się za stan przerzutnika. Przykładowo, gdy na wyjściu Q jest stan logiczny „1”, to określa się, że przerzutnik jest w stanie „1”, natomiast gdy $Q = 0$, to mówi się, że przerzutnik jest w stanie „0”. Wejścia mogą być

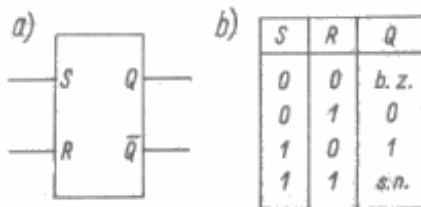
następujące: informacyjne, przygotowujące i taktuujące. Na wejścia informacyjne (powszechnie oznaczane literami SR, JK, T, D) podaje się

odpowiednie stany stosownie do przesyłanej informacji. Wejście taktuujące C (ang. Clock), zwane inaczej synchronizującym lub wyzwalającym, służy do podawania sygnałów (impulsów) taktuujących. W wejście taktuujące są wyposażone przerzutniki synchroniczne. Wejście przygotowujące: wpisujące Pr (ang. Preset) i zerujące Cl (ang. Clear) - oznaczane również często symbolami S (ang. Set) i R (ang. Reset) - służą do ustalenia stanu przerzutnika niezależnie od stanu wejść informacyjnych oraz stanu wejścia taktuującego. Przerzutniki bistabilne mogą być asynchroniczne i synchroniczne. Przerzutniki asynchroniczne pracują bez sygnału taktuującego, a stan przerzutnika ustala się bezpośrednio w wyniku zmiany stanu wejść. Przerzutniki synchroniczne pracują z udziałem sygnału taktuującego, a stan wejść informacyjnych jest przekazywany na wyjście w chwilach występowania narastającego lub opadającego zbocza sygnału taktuującego (zazwyczaj wykorzystuje się zbocze opadające). Prawie wszystkie przerzutniki wytwarzane w postaci scalonej są przerzutnikami synchronicznymi. Przerzutniki z obu grup mogą być statyczne (potencjałowe) i dynamiczne (impulsowe). Stan przerzutnika statycznego ustala się w wyniku zaistnienia na wejściach odpowiednich poziomów napięć (zera i jedynki logicznej), natomiast stan przerzutnika dynamicznego wskutek zmiany

poziomu napięcia z wartości 0 na 1 lub odwrotnie. Pracę przerzutnika można przedstawić w różny sposób, np. za pomocą tablicy przejść, tablicy wzbudzeń, wykresu czasowego, grafu. Najczęściej działania logiczne przerzutnika ilustruje się za pomocą tablicy przejść (stanów). Tablice wzbudzeń odgrywają ważną rolę przy projektowaniu układów sekwencyjnych. Umożliwiają one wyznaczenie funkcji logicznych, określających sygnały wzbudzeń wejść informacyjnych. Zastosowania przerzutników są bardzo szerokie. Przede wszystkim przerzutniki wykorzystuje się do budowy, rejestrów przesuwających, liczników, układów sterowania wskaźników alfanumerycznych i innych układów sekwencyjnych.

Zasada działania przerzutnika SR.

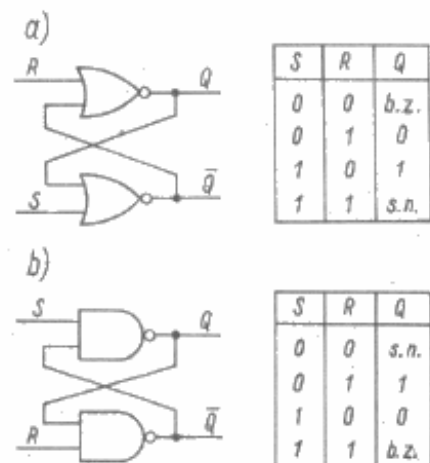
Przerzutnik SR, zwany tak od słów angielskich Set (pol. ustaw) i Reset (pol. kasuj), jest najprostszym układem przerzutnika bistabilnego. Symbol graficzny i tablicę przejść



Rys. 2.3. Przerzutnik SR: a) symbol graficzny; b) tablica przejść (b.z. - bez zmian, s.n. - stan niedozwolony).

przerzutnika SR podano na rys. 2. Normalnym stanem spoczynkowym przerzutnika jest stan zerowych sygnałów wejściowych, to jest stan wejść $S = 0$ i $R = 0$, podczas którego stan przerzutnika nie zmienia się (innymi słowy, przerzutnik pamięta swój stan poprzedni). Dla $S = 0$ i $R = 1$ przerzutnik zostaje wyzerowany (czyli $Q = 0$). Przy $S = 1$ oraz $R = 0$ następuje zmiana stanu przerzutnika na $Q =$

1. Stany jednoczesnych sygnałów 1 na obu wejściach przerzutnika są niedozwolone, gdyż wówczas oba wyjścia (Q i $\sim Q$) powinny być w stanie 0, co jest sprzeczne z założeniem, że w przerzutniku jedno wyjście jest negacją drugiego. W praktyce na wyjściach przerzutnika ustaliłyby się stany przeciwstawne, tyle tylko, że nie można by ich było jednoznacznie określić. Byłoby to bowiem zależne od właściwości fizycznych elementów wewnętrznych przerzutnika (np. czasów propagacji bramek), jak również innych czynników wpływających w sposób przypadkowy na ustalenie się stanów wyjściowych. Poza tym zauważmy, że gdyby w następnej kolejności pojawił się jednocześnie stan logiczny 0 na wejściach S i R (funkcja pamiętania), to stan przerzutnika znów nie mógłby być jednoznacznie określony. Przerzutnik statyczny SR można łatwo zrealizować z różnych elementów logicznych. Najczęściej wykonuje się go z elementów NOR lub NAND (rys. 3). Poniższe dwie tabelki przedstawiają szczegółowe zależności stanów wyjściowych od podanych stanów wejściowych.



Rys. 2.2. Schemat logiczny oraz tablica przejść przerzutnika SR utworzonego z elementów: a) NOR; b) NAND.

R	S	Q_n	$\sim Q_n$	Q_{n+1}	$\sim Q_{n+1}$	Opis
0	0	0	1	0	1	pamięta
0	0	1	0	1	0	
0	1	0	1	1	0	SET
0	1	1	0	1	0	
1	0	0	1	0	1	RESET
1	0	1	0	0	1	
1	1	0	1	0	0	stan
1	1	1	0	0	0	nielogiczny

Tabela stanów dla przerzutnika SR na bramkach NOR.

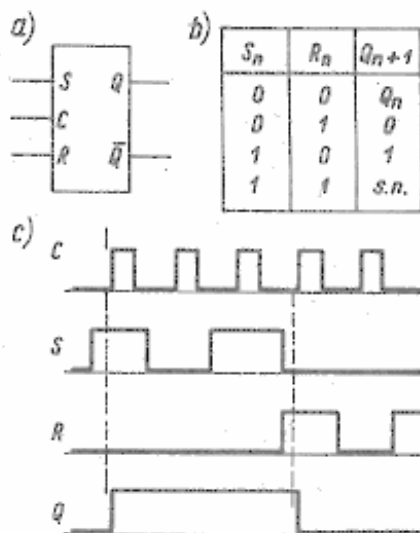
R	S	Q_n	$\sim Q_n$	Q_{n+1}	$\sim Q_{n+1}$	Opis
0	0	0	1	1	1	stan nielogiczny
0	0	1	0	1	1	
0	1	0	1	0	1	SET
0	1	1	0	0	1	
1	0	0	1	1	0	RESET
1	0	1	0	1	0	
1	1	0	1	0	1	pamięta
1	1	1	0	1	0	

Tabela stanów dla przerzutnika SR na bramkach NAND.

Należy jednak zwrócić uwagę, że przerzutnik SR zbudowany z elementów NAND zmienia swój stan przy doprowadzeniu do wejścia S lub R sygnału 0, zatem odwrotnie niż przerzutnik wykonany z elementów NOR, który zmienia swój stan przy doprowadzeniu do wejścia S lub R sygnału 1. Dla przerzutnika zrealizowanego z elementów NAND wyklucza się kombinację stanu wejść $S = R = 0$ (dla przerzutnika wykonanego z elementów NOR jest wykluczona kombinacja stanu wejść $S = R = 1$). Przerzutnik zbudowany z elementów NAND ze względu na negowanie sygnałów wejściowych bywa nazywany przerzutnikiem $\sim S \sim R$ lub przerzutnikiem RS.

Zasada działania synchronicznego przerzutnika SR.

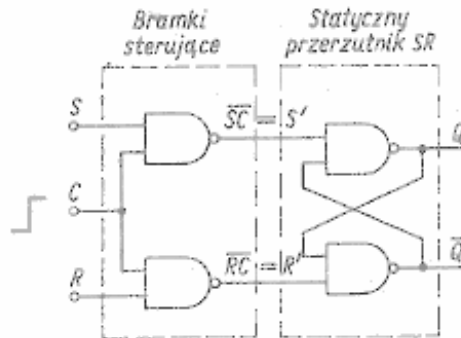
Przerzutnik synchroniczny SR ma, w porównaniu z przerzutnikiem asynchronicznym SR,



Rys. 2.4. Synchroniczny przerzutnik SR: a) symbol graficzny; b) tablica przejść; c) wykres czasowy.

dotąd dodatkowe wejście C, do którego doprowadza się sygnał taktujący (synchronizujący). Pracę przerzutnika synchronicznego, SR można opisać podobnie jak przerzutnika asynchronicznego SR. Istotna różnica polega na tym, że zmiana stanu przerzutnika synchronicznego następuje w chwilach wyznaczonych przez sygnał taktujący. Symbol graficzny, wykres czasowy i tablicę przejść przerzutnika synchronicznego SR podano na rys. 4. Stan logiczny wyjścia Q w umownym czasie t_{n+1} (po przyjęciu sygnału taktującego) zależy od stanów logicznych S, R, Q w czasie t_n (przed przyjęciem sygnału taktującego). Stan $S = R = 1$ jest niedozwolony. W przedziale czasu między impulsami taktującymi przerzutnik nie zmienia stanu, innymi

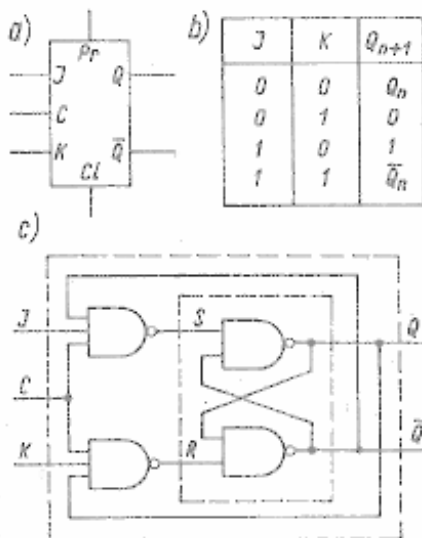
słowy, zachowuje swój stan niezależnie od stanów pojawiających się na wejściach S, R. Przykład realizacji synchronicznego przerzutnika SR z funkcyjów NAND podano na rys. 5.



Rys. 2.5. Przykład realizacji synchronicznego przerzutnika SR z elementów NAND.

Zasada działania przerzutnika JK.

Przerzutnik JK może być uważany za rozwiniętą wersję przerzutników SR, gdyż mając

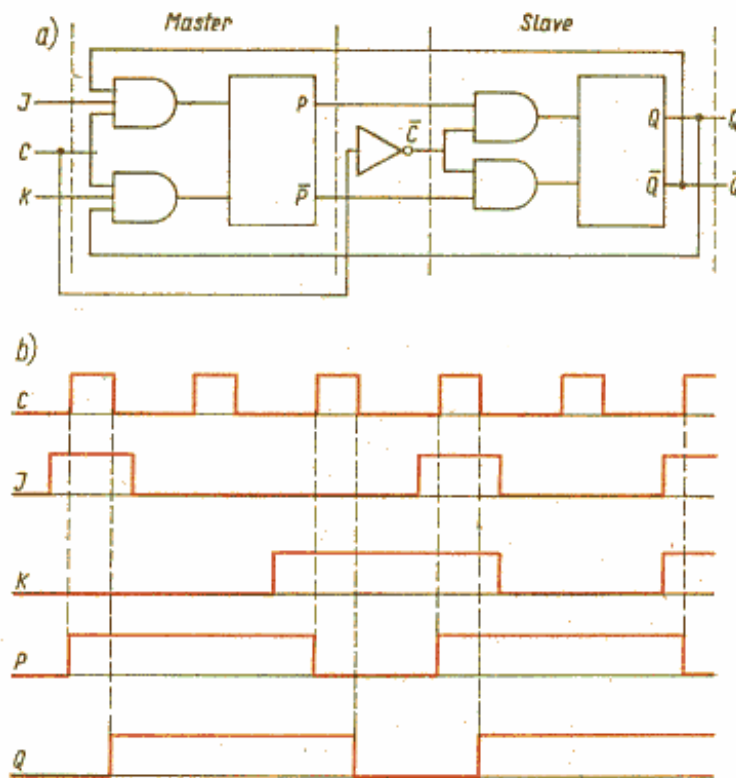


Rys. 2.6. Przerzutnik JK: a) symbol graficzny; b) tablica przejść; c) schemat

wykonywane w tzw. systemie "Master-Slave", to jest złożonym systemie wyzwalania potencjałowego na zboczach impulsu taktującego.

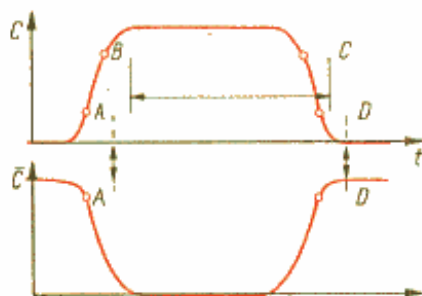
Zasada działania przerzutnika JK-MS.

Cechą charakterystyczną pracy przerzutnika JK dwutaktowego typu MS (ang. Master - pan, Slave - niewolnik) jest oddzielenie fazy wpisywania informacji logicznej do przerzutnika od fazy przekazywania tej informacji na jego wyjście. Zmniejsza to znacznie wpływ zakłóceń i kształtu sygnału, tym samym zwiększając niezawodność pracy przerzutnika. Przerzutnik JK dwutaktowy stanowi układ dwóch przerzutników oznaczonych w skrócie M (Master) i S (Slave) wewnątrz połączonych w sposób przykładowo przedstawiony na rys. 7. W tym przykładzie wejścia taktujące C przerzutników M i S są połączone za pośrednictwem inwertera. Należy zaznaczyć, że istnieje wiele innych rozwiązań technicznych przerzutników JK dwutaktowych typu MS,



Rys. 2.7. Przerzutnik JK dwutaktowy typu MS: a) schemat logiczny; b) wykres czasowy.

rys. 8. Gdy zbocze narastające sygnału taktującego ($C=0 \rightarrow 1$) osiągnie poziom A, przerzutnik S zostaje odizolowany od przerzutnika M, zachowując bieżący stan wyjść, tj. $Q=0$, $\sim Q=1$. Informacja do przerzutnika M zostanie wprowadzona dopiero w chwili, gdy impuls taktujący osiągnie poziom B. Wówczas na wyjściach przerzutnika M wystąpi stan $P=1$, $\sim P=0$. W punkcie C przerzutnik M zostaje odizolowany od wejść J, K, a jego stan



Rys. 2.8. Impuls taktujący przerzutnika JK-MS z wyróżnionymi punktami charakterystycznymi.

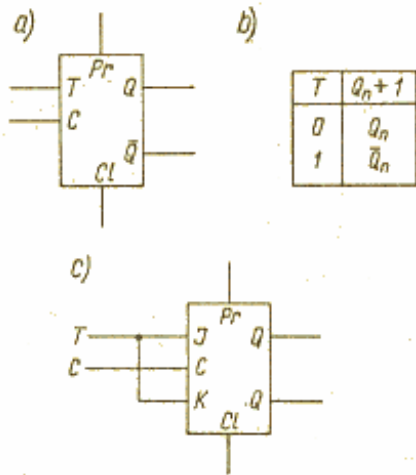
zablokowany. Gdy impuls taktujący przekroczy poziom punktu D, oba przerzutniki zostają połączone, następuje przekazanie informacji z przerzutnika M do S i na wyjściu przerzutnika otrzymuje się stan $Q=1$. Następny impuls taktujący ($C=0 \rightarrow 1$) spowoduje zmianę tego stanu jedynie przy $K = 1$. Działanie układu będzie analogiczne jak wyżej z tą różnicą, że stany wyjść P i Q będą przeciwne. Należy zaznaczyć, że prawidłową pracę scalonego przerzutnika JK-MS (czyli zgodną z podanym opisem) warunkuje odpowiednie dobranie progów włączania i wyłączania bramek wejściowych obu przerzutników M i S. Przerzutnik JK-MS jest najbardziej rozpowszechnionym w technice cyfrowej. Pod względem możliwości operacyjnych jest on traktowany jako układ uniwersalny. Przez zastosowanie odpowiednich połączeń zewnętrznych można z niego

ale ogólna zasada działania logicznego każdego z nich pozostaje taka sama. Pracę przerzutnika JK-MS schematycznie ilustruje wykres czasowy przedstawiony na rys. 7. Zakładamy, że w chwili początkowej na wyjściu przerzutnika jest stan $Q=0$ oraz sygnały wejściowe przerzutnika są $J=1$ i $K=0$. W pracy przerzutnika JK-MS można wyróżnić cztery charakterystyczne fazy, które zostały oznaczone punktami A, B, C, D na

utworzyć inny rodzaj przerzutnika, np. SR, D, T.

Przerzutnik T.

Przerzutnik T (ang. Toggle) jest przerzutnikiem synchronicznym mającym jedno wejście

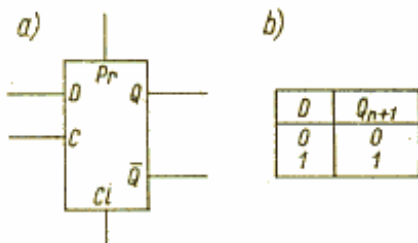


Rys. 2.9. Przerzutnik T: a) symbol graficzny; b) tablica przejść; c) przykład realizacji z przerzutnika JK.

informacyjne T. Symbol graficzny oraz tablicę przejść przerzutnika T podano na rys.9. Jeżeli na wejściu T jest przygotowany stan 1, to po każdym impulsie taktującym, doprowadzonym do wejścia C, stan przerzutnika zmienia się na przeciwny. Przy $T=0$ przerzutnik T nie zmienia stanu, innymi słowy, występuje wówczas blokada stanów wyjściowych. Układ o działaniu logicznym przerzutnika T można otrzymać zwierając obydwa wejścia w przerzutniku JK (rys. 9c). Przerzutniki T są najczęściej stosowane w układach liczących, w których wykorzystuje się ich zdolność do dzielenia przez 2 (dwukrotnego zmniejszania) częstotliwości sygnału taktującego.

Przerzutnik D.

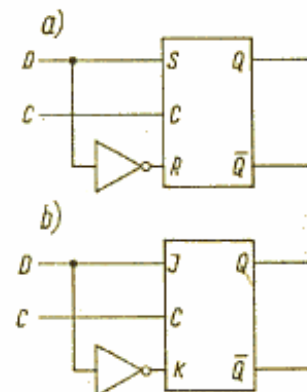
Przerzutnik D jest przerzutnikiem synchronicznym o jednym wejściu informacyjnym,



Rys. 2.11. Przerzutnik D: a) symbol graficzny; b) tablica przejść.

oznaczonym literą D. Spełnia on funkcję przepisywania informacji z wejścia D na wyjście Q z opóźnieniem jednego impulsu taktującego, stąd też pochodzi jego nazwa przerzutnik D od słowa angielskiego Delay (pol. opóźniający). Symbol

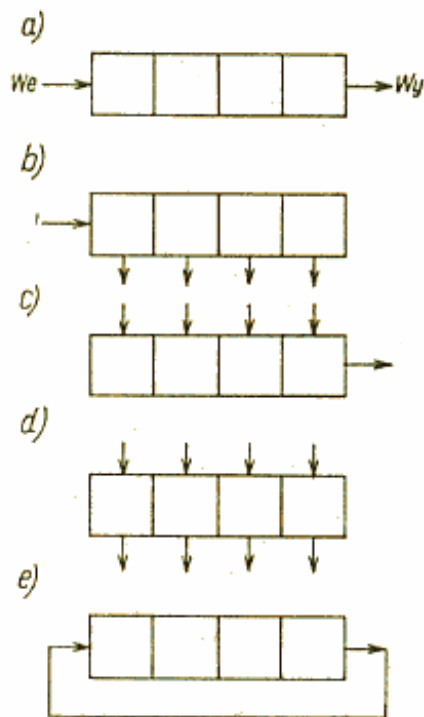
graficzny oraz tablicę przejść przerzutnika D podano na rys. 11. Przerzutnik D jest wytwarzany w postaci scalonej. Można go również utworzyć z przerzutnika JK lub przerzutnika synchronicznego SR, łącząc w każdym z nich oba wejścia informacyjne (J, K lub S, R) za pośrednictwem inwertera w sposób podany na rys. 10. Przerzutnik D jest szeroko stosowany w systemach cyfrowych (np. rejestrach). Można z niego utworzyć dwójkę liczącą i inne układy sekwencyjne.



Rys. 2.10. Przykład realizacji przerzutnika D z przerzutników: a) SR; b) JK.

2.2. Rejestry.

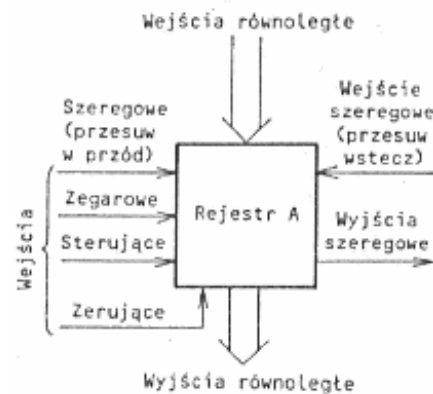
Rejestrem jest nazywany układ logiczny służący do przechowywania i odtwarzania informacji zakodowanej w postaci dwójkowej. Ogólnie biorąc, rejestr składa się z



Rys. 2.12. Podstawowe sposoby wpisywania i pobierania informacji w rejestrach: a) szeregowo-szeregowy; b) szeregowo-równoległy; c) równoległo-szeregowy; d) równoległo-równoległy; e) pierścieniowy.

przerzutników i bramek powodujących zmiany stanu tych przerzutników. Przerzutniki przechowują informację dwójkową, podczas gdy bramki tworzą układ kombinacyjny wprowadzania i wyprowadzania informacji z rejestru. Informacja może być wpisywana do rejestru i odczytywana zarówno szeregowo, jak i równoległo; stanowi to kryterium podziału rejestrów na szeregowo-szeregowy, szeregowo-równoległy, równoległo-szeregowy i równoległo-równoległy (rys. 12). Rejestr mający wyłącznie możliwość równoległego wprowadzania i pobierania informacji nazywa się rejestrzem równoległym. Rejestry szeregowy (tj. pozostałe rodzaje rejestrów) są nazywane także rejestrzami przesuwającymi ze względu na to, że informacja w nich zawarta jest przesuwana bit po bicie synchronicznie z impulsami taktującymi. Rejestr przesuwający, którego wyjście jest połączone z wejściem, nazywa się licznikiem pierścieniowym (rys. 12e). Podstawowymi parametrami charakteryzującymi rejestry są:

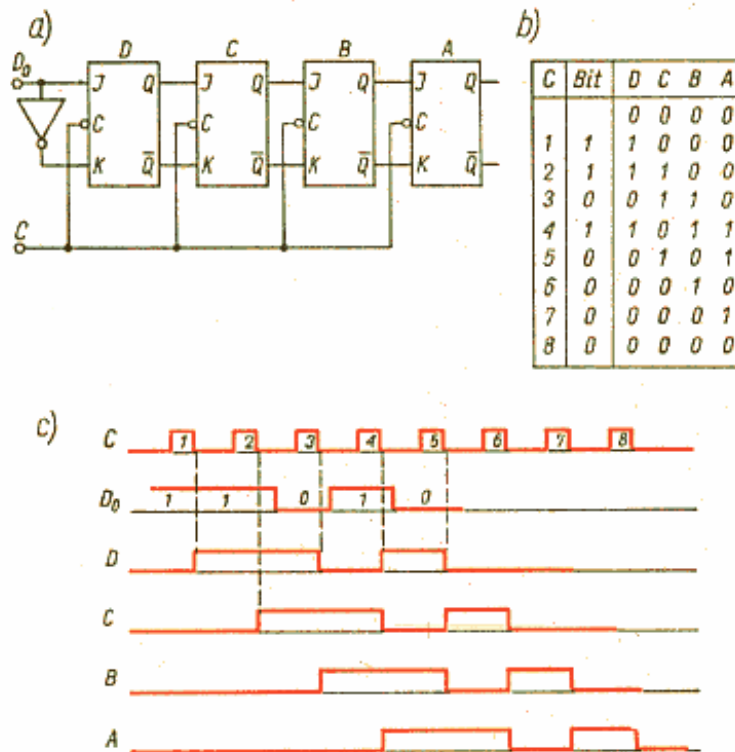
długość logiczna rejestru równa liczbie przerzutników n i pojemność rejestru 2^n . Rejestr n -bitowy (tj. złożony z n przerzutników) może przechowywać słowo o długości n bitów. Właściwości dynamiczne rejestru określa minimalny czas niezbędny do wpisania lub przesunięcia informacji, równy czasowi propagacji zastosowanych przerzutników. Rejestry scalone są zwykle wytwarzane jako układy uniwersalne (rys. 13), zawierające wszystkie elementy pożądane przez użytkownika, tj. wyposażone w wejścia i wyjścia równoległe, odrębne wejścia szeregowy do przesuwu w przód i wstecz, wejścia sterujące rodzaj pracy rejestru, wejście taktujące oraz wejście zerujące. Na rysunku 13 litera A oznacza liczbę bitów rejestru. Rejestry scalone budowane jako 4-, 5-, 6-, 8-, 9-, 16-bitowe należą do układów o średnim stopniu scalenia. Układy rejestrów mogą być wykorzystywane jako pamięci buforowe, układy przesyłania informacji lub do budowy liczników pierścieniowych, dzielników częstotliwości itp.



Rys. 2.13. Symbol rejestru uniwersalnego A-bitowego.

Rejestr przesuwający.

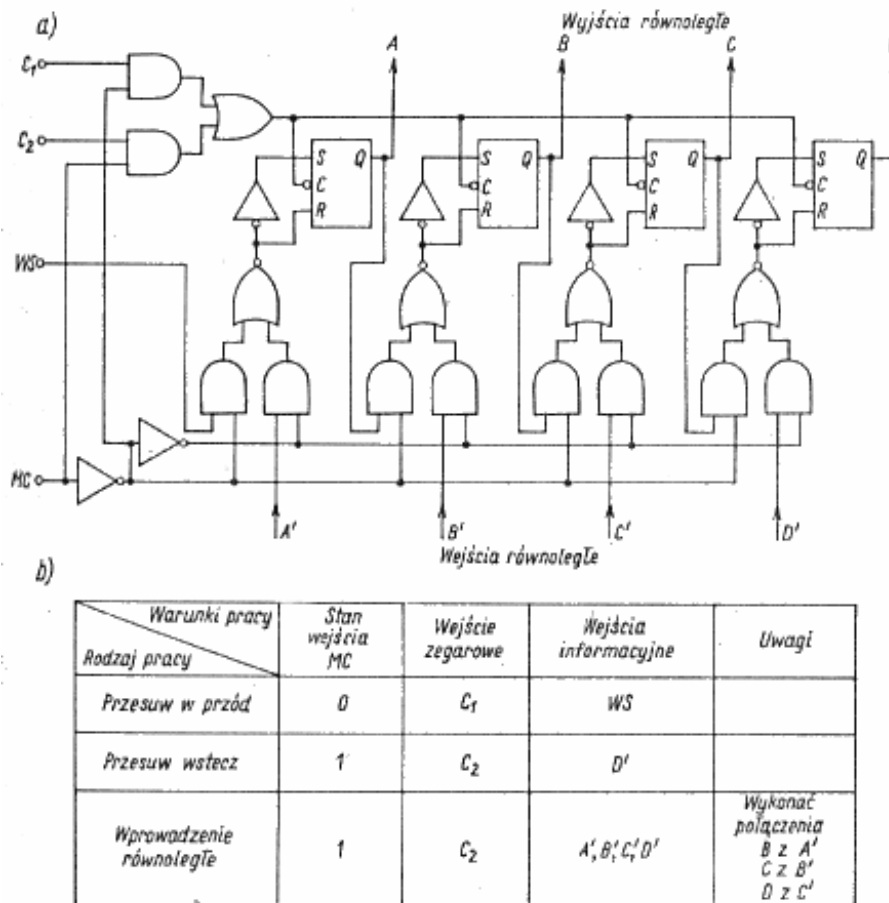
Zasada działania rejestru przesuwającego zostanie wyjaśniona na przykładzie 4-bitowego



Rys. 2.14. Rejestr przesuwający 4-bitowy: a) schemat logiczny (przykład realizacji z przerzutników JK w trybie pracy przerzutnika D); b) tablica stanów przy wprowadzaniu słowa 1011; c) wykres czasowy.

rejestru, którego schemat logiczny podano na rys. 14. Rejestr jest zbudowany z 4 synchronicznych przerzutników D. Wpisywanie informacji do rejestru odbywa się bit po bicie w kolejnych taktach zegarowych z jednoczesnym przesuwem od wejścia do wyjścia. Maksymalna szybkość przesuwania informacji w rejestrze wynika z szybkości działania zastosowanych przerzutników (np. dla rejestrów serii standardowej TTL wynosi 20 MHz). Przykład wpisywania i odczytu słowa 1011 ilustruje tablica oraz wykres czasowy podany na rys. 14b,c. Przed wprowadzeniem informacji rejestr został wyzerowany. Przy każdym takcie informacja w rejestrze jest przesuwana o jeden przerzutnik w przód i jednocześnie każdorazowo zostaje wpisany kolejny bit informacji wejściowej. Czwarty takt kończy etap wpisywania informacji do rejestru - stan przerzutników A, B, C, D jest 1101. W następnych czterech taktach odbywa się odczyt szeregowy informacji. W ten sposób działa rejestr przesuwający jednokierunkowy z przesuwem w przód. Rejestry przesuwające wykonuje się również jako dwukierunkowe (rewersyjne), tzn. umożliwiające przesuw zawartej w nich informacji zarówno w przód, jak i wstecz. W takim rejestrze wejście każdego przerzutnika jest połączone przez odpowiednie bramki z wyjściami przerzutnika poprzedniego oraz następnego. Na rysunku 15 przedstawiono przykładowo schemat logiczny i tablicę funkcji scalonego rejestru SN 7495. Rejestr jest zbudowany z przerzutników RS-MS. Informacja może być wprowadzana na wejście szeregowo WS (przy przesuwie w przód), wejście D (przy przesuwie wstecz) lub wejścia równoległe A', B', C', D'. Rodzaj pracy rejestru wybiera się podając określony stan logiczny na wejście MC, przy czym MC=0 - przesuw w przód, MC=1 - przesuw wstecz oraz wprowadzanie równoległe. W rejestrze jest możliwy odczyt informacji zarówno szeregowy, jak i

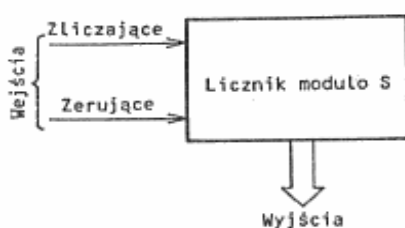
równoległy. Zmiana stanu przerzutników następuje przy zboczu opadającym impulsu taktującego (tj. z 1 na 0).



Rys. 2.15. Rejestr 4-bitowy SN-7495: a) schemat logiczny; b) tablica funkcji.

2.3. Liczniki.

Licznikiem nazywa się układ cyfrowy służący do zliczania liczby impulsów podanych na jego wejście zliczające. Ogólnie licznik zawiera pewną liczbę n przerzutników odpowiednio



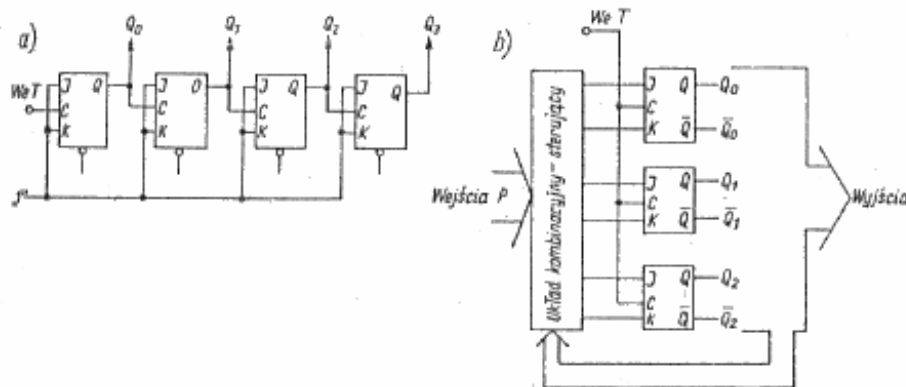
Rys. 2.16. Ogólny symbol licznika modulo S .

ze sobą połączonych. Liczba n określa maksymalną (pełną) pojemność licznika równą 2^n . Zapelnienie licznika kończy cykl pracy licznika, po czym wraca on do stanu początkowego. Długością S cyklu licznika nazywa się liczbę wyróżnialnych stanów logicznych, przez które licznik przechodzi cyklicznie. Jeśli licznik ma S (przy czym $S \leq 2^n$) wyróżnialnych stanów, to określa się go jako licznik modulo S (np. licznik modulo 10 jest licznikiem dziesiętnym, tzw. dekadą liczącą). Stan licznika odpowiada liczbie zliczanych impulsów, wyrażanej w określonym kodzie. Licznik zliczający impulsy w naturalnym kodzie dwójkowym jest nazywany licznikiem dwójkowym. Liczniki dziesiętne mogą zliczać w różnych kodach dwójkowo-dziesiętnych, chociaż najczęściej jest to kod BCD 8421 lub kod Aikena 2421. Ze względu na sposób realizacji (tryb pracy) rozróżnia się liczniki

asynchroniczne (szeregowe) i synchroniczne (równoległe). Ogólny symbol licznika podano na rys. 8.23. W celu polepszenia funkcjonalności działania liczniki mogą mieć jeszcze inne wejścia i wyjścia. Czas ustalania się zawartości licznika zależy od czasów propagacji użytych przerzutników. Na ogół liczniki asynchroniczne (szeregowe) są powolniejsze niż synchroniczne, lecz mają zwykle prostszą strukturę logiczną. Szybkość działania liczników określa się podając maksymalną częstotliwość impulsów zliczanych. Zawartość licznika podczas zliczania może wzrastać lub maleć. Liczniki, w których jest możliwy tylko jeden z tych sposobów zliczania, nazywa się jednokierunkowymi. Liczniki umożliwiające liczenie impulsów w obu kierunkach określa się jako dwukierunkowe (rewersyjne). Liczniki scalone znajdują zastosowanie, przede wszystkim do bezpośredniego zliczania impulsów (w tym znaczeniu mogą służyć do pomiaru częstotliwości, dzielenia przez N itp.). Przy użyciu liczników buduje się również układy arytmetyczne. Układy te charakteryzują się prostą strukturą logiczną oraz niewielką szybkością działania, która jednak wystarcza w wielu zastosowaniach. Specjalną grupę układów stanowią tzw. liczniki programowane.

Różnice między licznikami synchronicznymi a asynchronicznymi.

Przykłady liczników asynchronicznego i synchronicznego podano na rys. 17. Licznik synchroniczny charakteryzuje się tym, że wejścia taktujące wszystkich przerzutników są połączone równoległe, zapewniając jednoczesne zmiany stanów przerzutników w takt odpowiedniego zbocza impulsu zliczanego. O tym, które przerzutniki mają zmienić

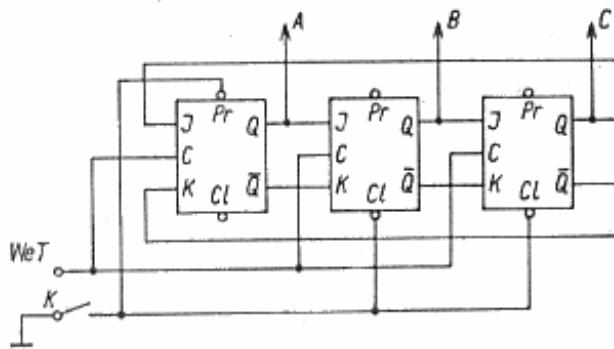


Rys. 2.17. Ogólny schemat blokowy licznika: a) asynchronicznego (szeregowego); b) synchronicznego (równoległego).

każdorazowo swój stan, decyduje odpowiedni układ kombinacyjny. Do układu kombinacyjnego są bowiem doprowadzane zwrotnie stany wyjść Q przerzutników oraz inne sygnały wejściowe P zadane warunkami pracy licznika. W liczniku asynchronicznym przerzutniki są połączone szeregowo, a impulsy zliczane są doprowadzane do pierwszego przerzutnika, co oznacza, że zmiany na wyjściach licznika nie występują jednocześnie. W przypadku asynchronicznego licznika dwójkowego zmiana stanu wyjścia przerzutnika powoduje zmianę wyjścia następnego przerzutnika.

Licznik pierścieniowy.

Licznik pierścieniowy jest rodzajem rejestru przesuwającego, w którym krąży tylko jedna 1 (lub 0) w takt impulsów zegarowych. Ten tryb pracy układu uzyskuje się łącząc



Rys. 2.18. Schemat logiczny licznika pierścieniowego.

bezpośrednio wyjście szeregowe rejestru z jego wejściem szeregowym (rys. 18). W chwili początkowej do wyzerowanego rejestru zostaje wpisana jedynka (na przykład krótkotrwałe zamknięcie przycisku K zeruje wszystkie przerzutniki z wyjątkiem pierwszego, do którego zostaje wpisana jedynka). Jedynka ta przesuwa się w takt impulsów

zegarowych przez kolejne przerzutniki, po czym wraca do pierwszego przerzutnika i cykl powtarza się. Na rysunku 19 przedstawiono układ z krążącym 0 i automatyczną korekcją stanu po trzech taktach. Liczniki pierścieniowe w układach cyfrowych najczęściej spełniają funkcję wybieraka (rozdzielacza) sterującego kolejno przyłączone doń bramki.

Licznik pierścieniowy o n przerzutnikami ma n stanów. Przykładowo licznik pierścieniowy zbudowany z rejestru 5-bitowego liczy impulsy wejściowe w kodzie „1 z 5”. Istotną zaletą licznika pierścieniowego jest to, że stan wyjściowy licznika nie wymaga dekodowania odrębnym układem logicznym. Odmianą licznika pierścieniowego jest tzw. licznik pseudopierścieniowy (zwany też licznikiem Johnsona lub Mobiusa).

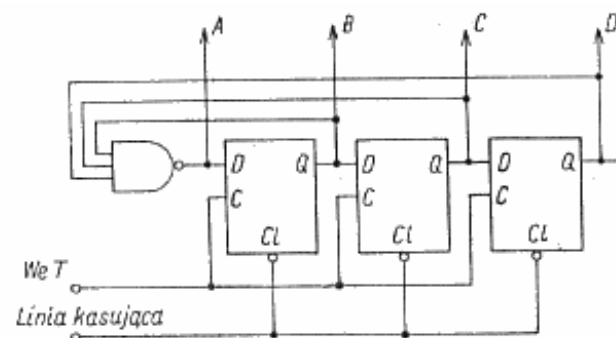
Prosta realizacja takiego licznika polega na połączeniu wyjścia $\sim Q$

(zanegowanego) ostatniego stopnia rejestru przesuwającego z wejściem szeregowym tego rejestru. Licznik pseudopierścieniowy zawierający n przerzutników ma $2n$ stanów, zatem licznik zbudowany z rejestru 5-bitowego ($n = 5$) ma 10 stanów, jest więc dekadą liczącą. Do odczytania stanu licznika pseudopierścieniowego jest wymagany dekodery.

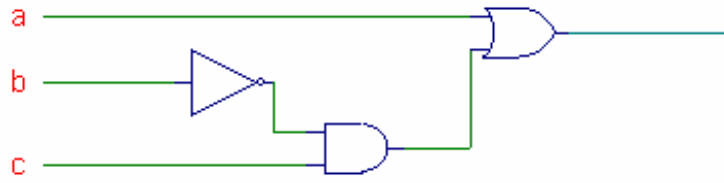
2.4. Układy funkcjonalne:

1. AND, OR, NOT – układ podstawowy

Wyjście szeregowe rejestru z jego wejściem szeregowym (rys. 18). W chwili początkowej do wyzerowanego rejestru zostaje wpisana jedynka (na przykład krótkotrwałe zamknięcie przycisku K zeruje wszystkie przerzutniki z wyjątkiem pierwszego, do którego zostaje wpisana jedynka). Jedynka ta przesuwa się w takt impulsów

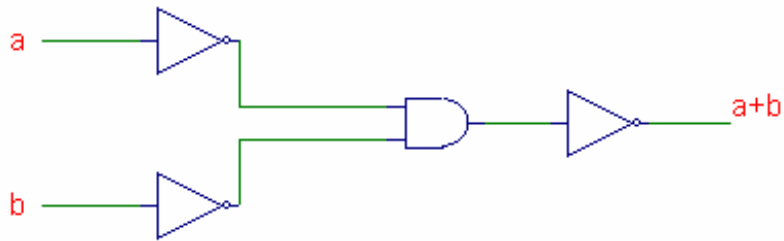


Rys. 2.19. Schemat logiczny licznika pierścieniowego z automatyczną korekcją stanu po trzech taktach.



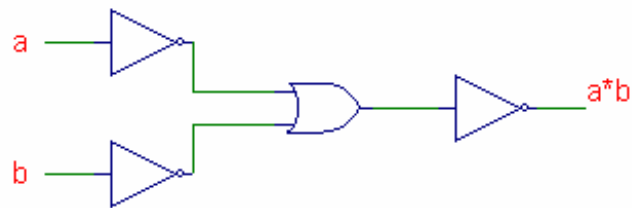
2. AND, NOT

$$a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}}$$



3. OR, NOT

$$a \cdot b = \overline{\overline{a \cdot b}} = \overline{\overline{a} + \overline{b}}$$

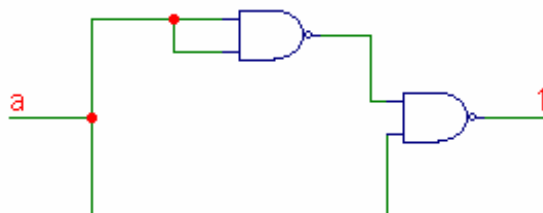


4. NAND

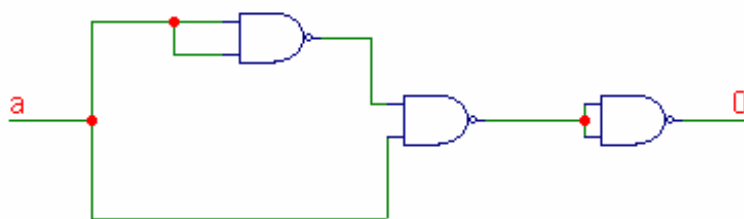
NOT:



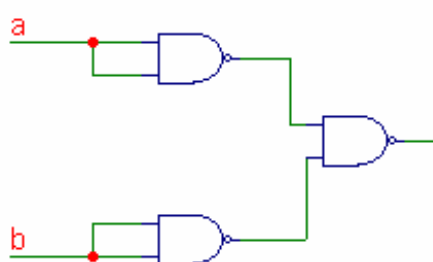
„1”:



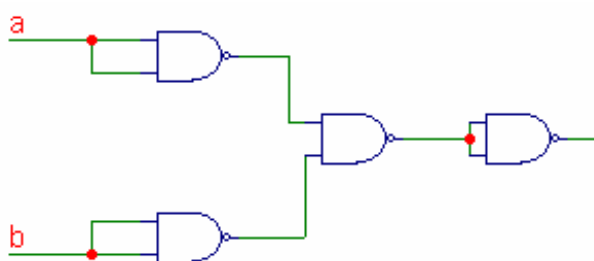
„0”:



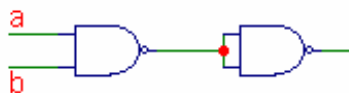
OR:



NOR:



AND:

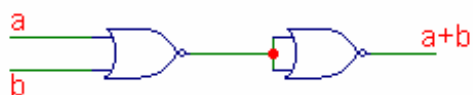


5. NOR

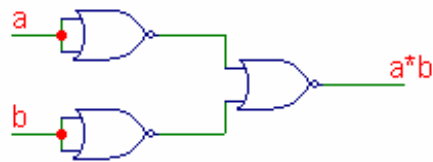
NOT:



OR:



AND:

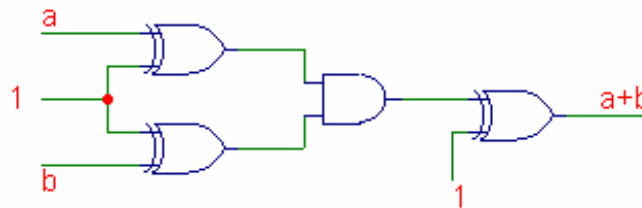


6. EX-OR, 1, AND

NOT

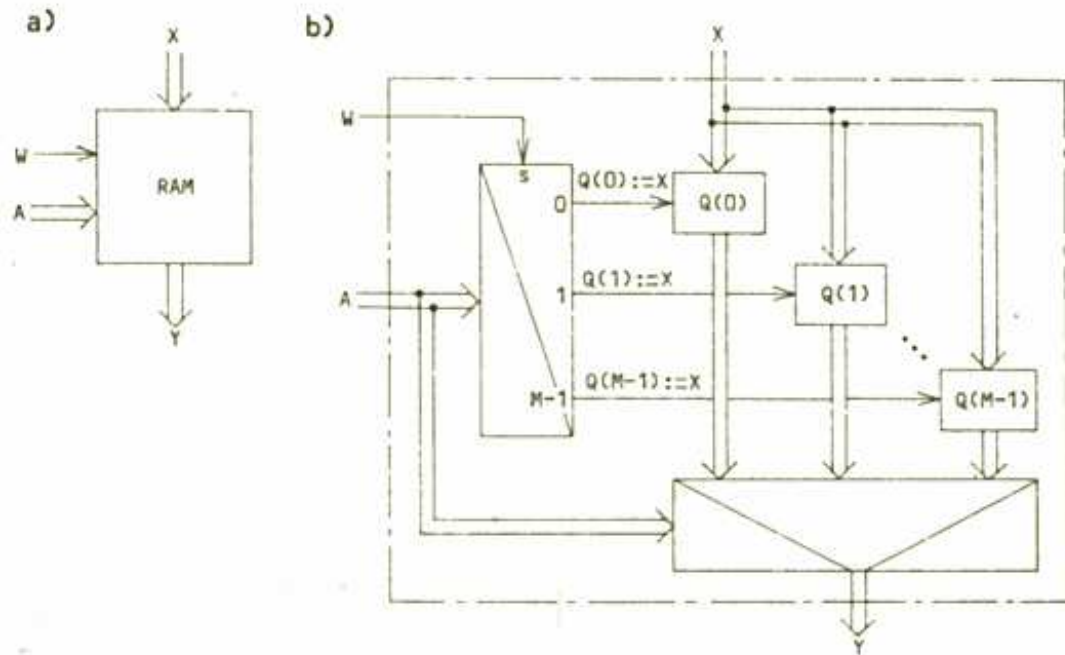


OR:

2.5. Podział, parametry i oznaczenia.

Pamięci są to układy służące do zapamiętywania zespołów słów. Pamięci dzielą się na zapisywalne RAM i stałe ROM. Pamięć zapisywalna RAM jest zespołem rejestrów służących do przechowywania informacji. W pamięci zawierającej M rejestrów n -bitowych zapamiętany jest ciąg słów $Q(0), Q(1), \dots, Q(i), \dots, Q(M-1)$ – mówimy wtedy, że pamięć taka ma pojemność M słów n -bitowych, np. 256 słów 8-bitowych, lub $M \times n$ bitów, np. $256 \times 8 = 2048$ bitów. Pojemność równą $2^{10} = 1024$ bitów określa się mianem 1 kilobit.

Pamięć RAM (rys. poniżej) ma wejście informacyjne X , wyjście informacyjne Y (obydwa n -bitowe), wejście adresowe A (m -bitowe, gdzie $2^m = M$) oraz wejście sterujące zapisem W . Adres A służy do wybierania określonego rejestru (komórki) pamięci- zawartość tego rejestru jest podana na wyjście pamięci $Y=Q(A)$. Przy podaniu *jedynek* na wejście sterujące zapisem W następuje wpisanie słowa wejściowego X do zaadresowanego rejestru (komórki) pamięci $Q(A):=X$.

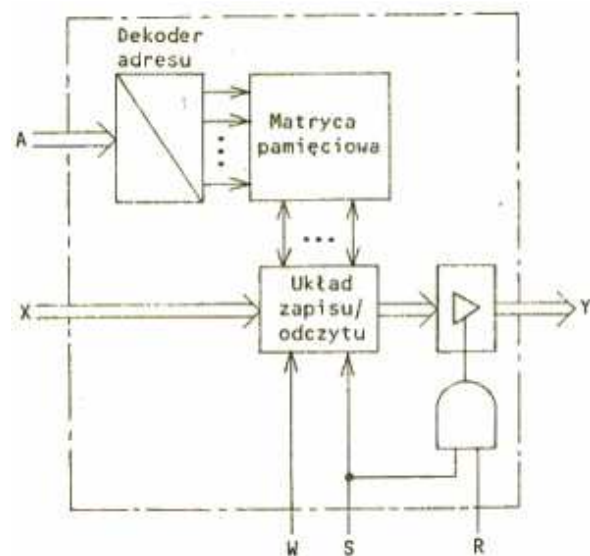


Rys. 2.20. Pamięć zapisywalna RAM: a) symbol, b) schemat zastępczy.

Zastępczy, funkcjonalny schemat pamięci RAM pokazano na rys. 20a. Adres A steruje multiplekserem wyjściowym, przesyłając informacje z wyjścia wybranego rejestru na wyjście pamięci. Jednocześnie adres ten jest dekodowany przez dekodery, którego wejście strobojące s jest wejściem sterującym zapisem W . W ten sposób sygnał zapisu W jest kierowany na wejście wpisujące zaadresowanego rejestru.

Rzeczywista konstrukcja pamięci jest nieco inna i zależy od tego, jak są realizowane elementy przechowujące informacje. W *stacycznej* pamięci RAM elementami tymi są przerzutniki, znacznie uproszczone w stosunku do przerzutników, z których zbudowane są typowe rejestry. W pamięciach *dynamicznych* elementami pamiętającymi są pojemności.

Schemat blokowy statycznej pamięci RAM jest pokazany na rys. 21. Przerzutniki tworzą tzw. matrycę pamięciową. Dekoder adresu wybiera określone słowo pamięci i umożliwia bądź przesłanie go na wyjście Y , bądź zapis nowej informacji. Oprócz sygnału sterującego zapisem W zwykle występują jeszcze dwa sygnały sterujące, a mianowicie sygnał wybierania pamięci S oraz sygnał

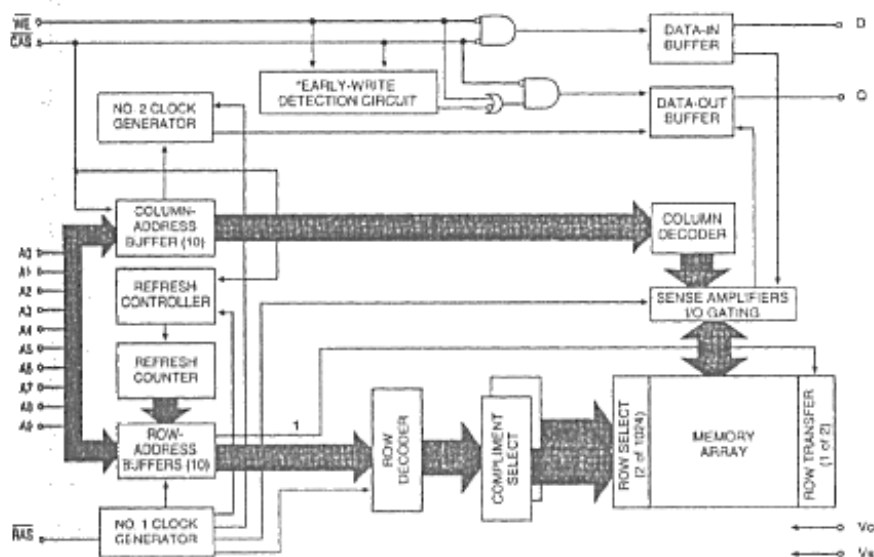


Rys. 2.21. Schemat funkcjonalny statycznej pamięci RAM.

odczytu R. Na wyjściu pamięci jest umieszczony zespół bramek trójstanowych, umożliwiających bezpośrednie dołączanie tego wyjścia do magistrali. Przy $S=0$ (pamięć nie wybrana) wyjście pamięci jest w stanie wysokiej impedancji zapis jest zablokowany. Przy $S=1$ (pamięć wybrana) podanie sygnału $W=1$ powoduje wpisanie słowa wejściowego X do zaadresowanej komórki pamięci, a podanie sygnału odczytu $R=1$ powoduje przesłanie zawartości zaadresowanej komórki pamięci na wyjście Y. Jak zobaczymy później, taki sposób sterowania pamięci umożliwia jej bezpośrednie dołączanie do magistrali systemu mikroprocesorowego.

Schemat zastępczy dynamicznych pamięci został omówiony na przedmiocie Systemy Operacyjne – tu go nie będę powtarzał. Dzięki prostocie elementów pamiętających koszt pamięci dynamicznych jest w przybliżeniu czterokrotnie mniejszy niż statycznych. Ich wadą jest jednak konieczność odświeżania zawartości – powodowana przez samorozładowywanie się kondensatorów.

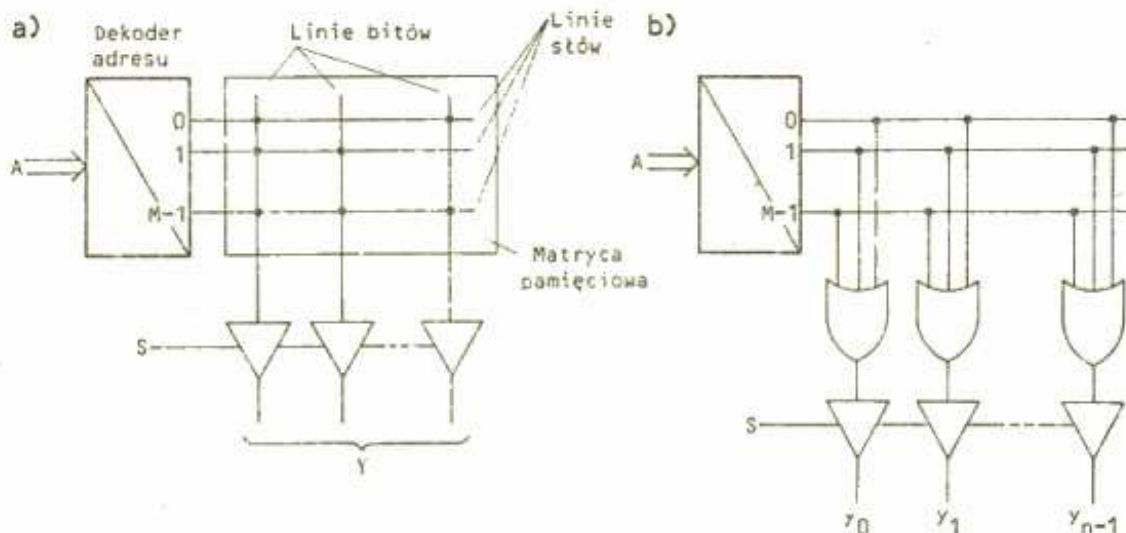
Poniższy rysunek przedstawia budowę podstawowej komórki DRAM. Komórka pamięci DRAM ma stosunkowo prostą budowę i zasadniczo składa się z jednego tranzystora i jednego kondensatora, który przy sygnale High jest ładowany, a przy sygnale Low rozładowywany. Ze względu na samorozładowanie kondensatora musi być on w typowych odstępach czasu ($10\mu s \div 2ms$) odświeżany impulsem (Refresh). Oznacza to, że musi istnieć specjalny układ, który ten impuls generuje. W praktyce steruje tym kontroler pamięci (Memory Controller), zaś opcje ustawień znajdziemy w BIOS-ie.



Rys. 2.22. Budowa pamięci DRAM.

Pamięć stała (ROM) jest to pamięć, której zawartość nie może być zmieniana w trakcie pracy układu, a więc zawartość jej można tylko odczytywać. Składa się ona z dekodera adresu, wybierającego żądane słowo, oraz z matrycy pamięciowej – rys. 6a. Matryca nie zawiera przerzutników pamięciowych, lecz jedynie elementy łączące linie wybierania słów

z liniami bitów (elementy te zaznaczono na rysunku 6a kropkami). Z logicznego punktu widzenia matryca jest więc układem bramek sumy (rys. 6b). Połączenia zaznaczone na rysunku odpowiadają zapisowi słowa 10...1 w komórce o adresie 0, słowa 11...0 w komórce o adresie 1 i słowa 11...1 w komórce o adresie M-1.



Rys. 2.23. Pamięć stała ROM: a) schemat funkcjonalny; b) schemat zastępczy.

Na wyjściu pamięci są na ogół umieszczone bramki trójstanowe, sterowane sygnałem wybierania pamięci S. Umożliwia to bezpośrednie dołączanie układów pamięci do magistrali mikroprocesora.

Ze względu na sposób programowania pamięci stałe możemy podzielić na:

- pamięci programowane w trakcie procesu produkcji (ROM),
- pamięci programowane przez użytkownika przez przepalanie połączeń (PROM),
- pamięci reprogramowalne (EPROM).

Pamięci ROM wykonuje się zarówno w technice TTL (bipolarne) jak i MOS (unipolarne); pamięci PROM są na ogół bipolarne, zaś EPROM – unipolarne.

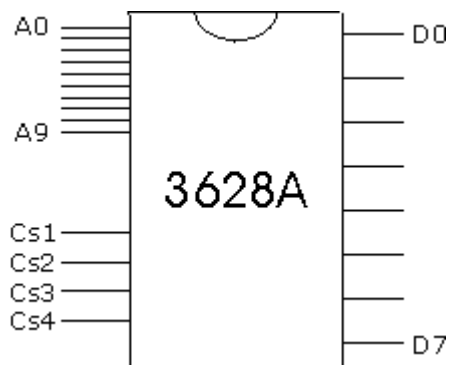
Zawartość pamięci ROM ustala się w końcowym etapie produkcji przez nałożenie odpowiedniej maski. Zawartość pamięci jest określona przez zamawiającego bądź też reprezentuje pewną informację użyteczną dla szerszego grona użytkowników, np. tablica sinusów, znaków alfanumerycznych.

W pamięci PROM matryca pamięciowa zawiera wszystkie połączenia między dekoderelem adresu a sumami (co odpowiada np. zapisaniu w pamięci samych *jedynek*). Połączenia te są tak wykonane, że użytkownik może je przepalać specjalnym przyrządem zwanym **programatorem**, ustalając w ten sposób wymaganą zawartość pamięci.

Matryca pamięciowa pamięci reprogramowalnej EPROM jest utworzona z tranzystorów MOS z izolowaną bramką, która steruje przepływem prądu między źródłem a drenem. W czasie programowania w rejon bramki jest wprowadzany ładunek, który pozostaje tam przez bardzo długi czas i powoduje przewodzenie tranzystora MOS. Ładunek ten można

usunąć przez naświetlanie pamięci promieniami ultrafioletowymi, co umożliwia ponowne zaprogramowanie pamięci.

W praktyce, na różnego rodzaju schematach, zetknąć się można z oznaczeniami symbolicznymi pamięci różnymi w zależności od rodzaju pamięci – głównie chodzi tu o podział RAM – ROM, oraz pamięci dynamiczne i statyczne.



Rys. 2.24. Symbol logiczny układu pamięci PROM.

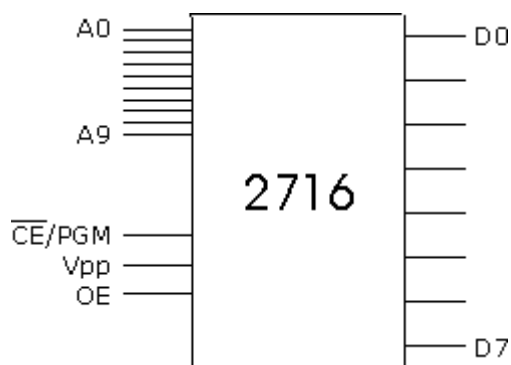
A0÷A9 – linie adresowe (ang. Address)

CS1÷CS4 – linie wyboru układu (ang. Chip Select)

D0÷D7 – wyjściowe linie danych (ang. Data)

Odczytanie danych z komórek pamięci:

1. Adres -> 2. CS1=CS2=0 i CS3=CS4=1 -> 3. Z linii D0÷D7 odczytujemy dane



Rys. 2.25. Symbol logiczny układu pamięci EPROM.

A0÷A9 – linie adresowe (ang. Address)

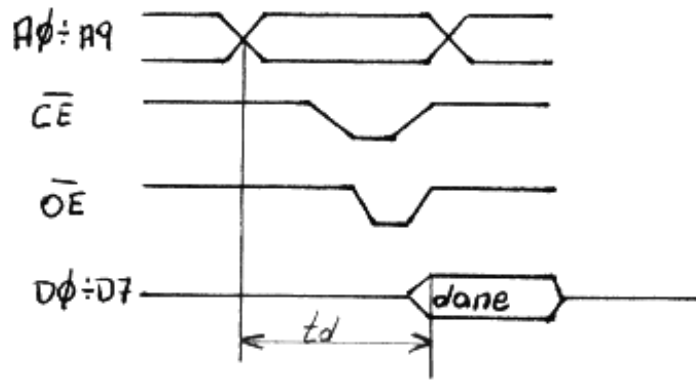
CE – linia wyboru układu (ang. Chip Enable)

PGM – linia przełączająca układ w tryb programowania (ang. Program)

Vpp – linia napięcia programującego, zwykle +25V, podczas zwykłej pracy +5V

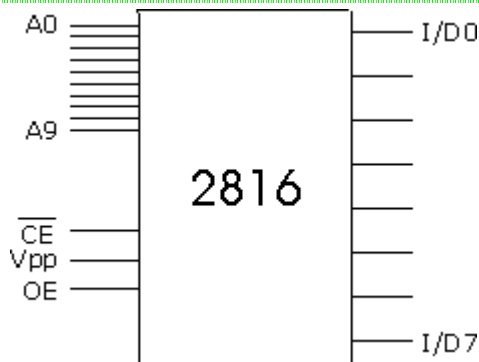
OE – uaktywnienie wyjść danych układu (ang. Output Enable)

Wyprowadzenie Tryb pracy	CE/PGM	OE	Vpp	D0-D7
Odczyt danych	VIL	VIL	+5 V	Dane odczytane
Tryb wyłączenia	X	VIH	+5 V	Stan wysokiej impedancji
Zmniejszony pobór mocy	VIH	X	+5 V	Stan wysokiej impedancji
Programowanie	Impuls VIH	VIH	+25 V	Dane zapisywane



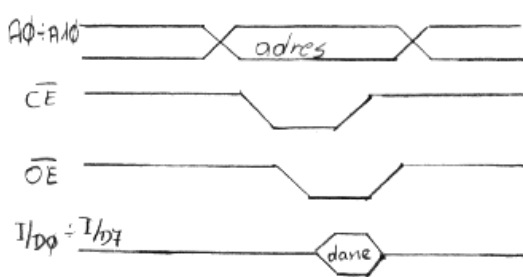
Rys. 2.26. Odczyt danej z układu pamięci EEPROM.

Na powyższym rysunku zaznaczony został również czas po jakim pojawiają się dane na magistrali od momentu wygenerowania adresu – jest to tzw. czas dostępu².

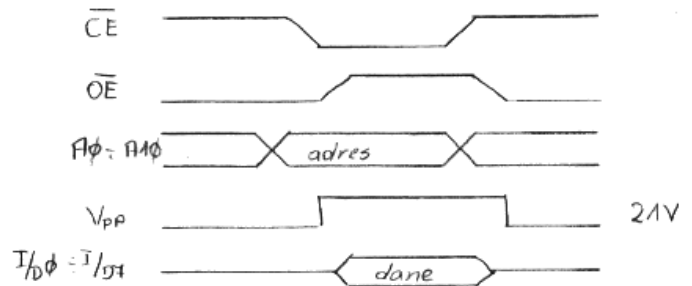


A0÷A9 – linie adresowe
 \sim CE – linia wyboru układu
 \sim OE – linia uaktywnienia wyjść
 I/D0÷I/D7 – linie służące do odczytu danych lub wprowadzania danych przeznaczonych do zapisania

Rys. 2.27. Symbol logiczny układu pamięci EEPROM.



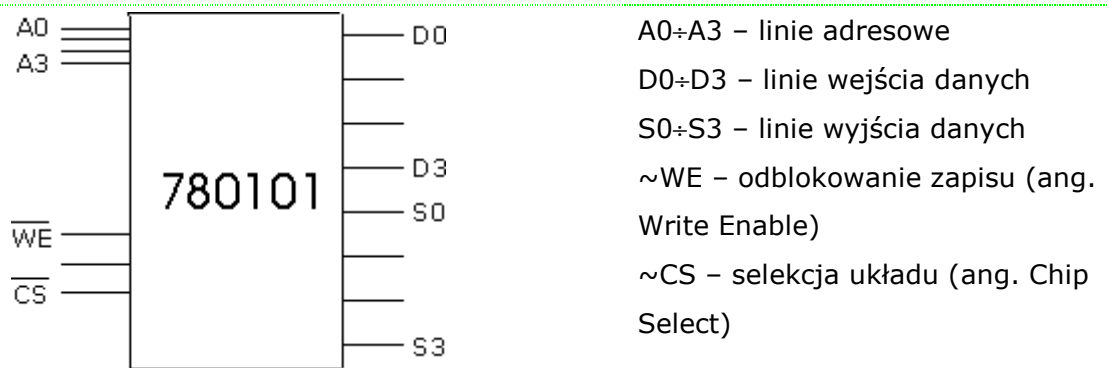
Rys. 2.28. Odczyt z pamięci EEPROM.



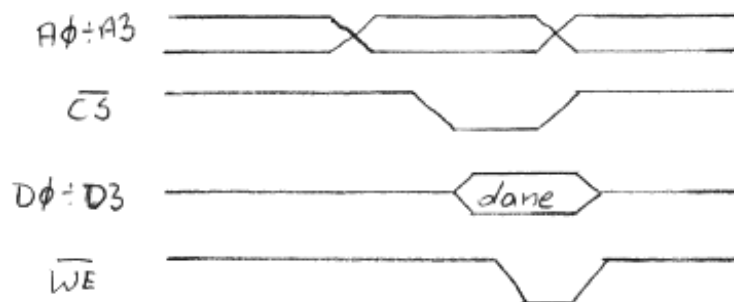
Rys. 2.29. Zapis do pamięci EEPROM (programowanie).

Kasowanie danej: \sim CE=L, \sim OE=9÷15V, Vpp=21V, I/D=H.

² Czasem czas ten bywa mierzony od momentu przejścia w stan niski linii CE lub OE – jak widać są to znacznie krótsze czasy, zaś samo określenie czas dostępu jest niejednoznaczne.

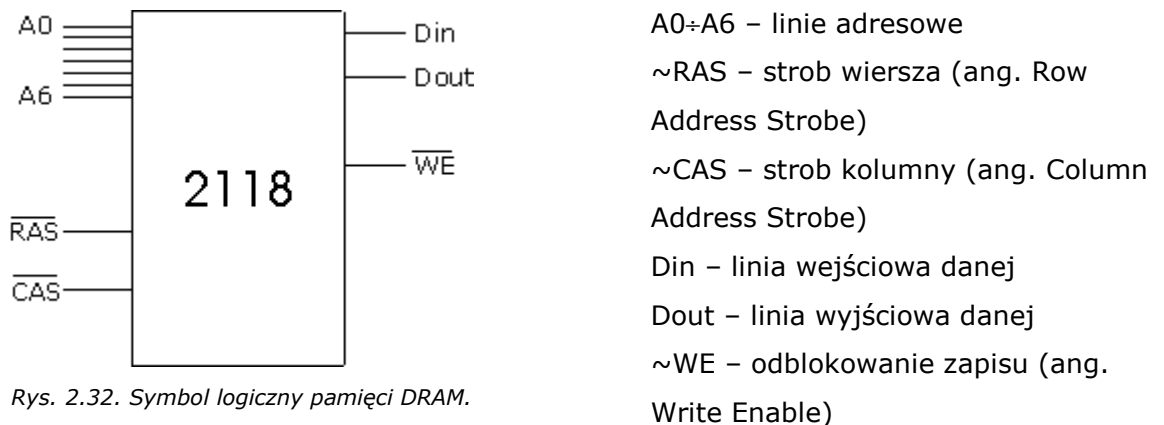


Rys. 2.30. Symbol logiczny układu pamięci SRAM.

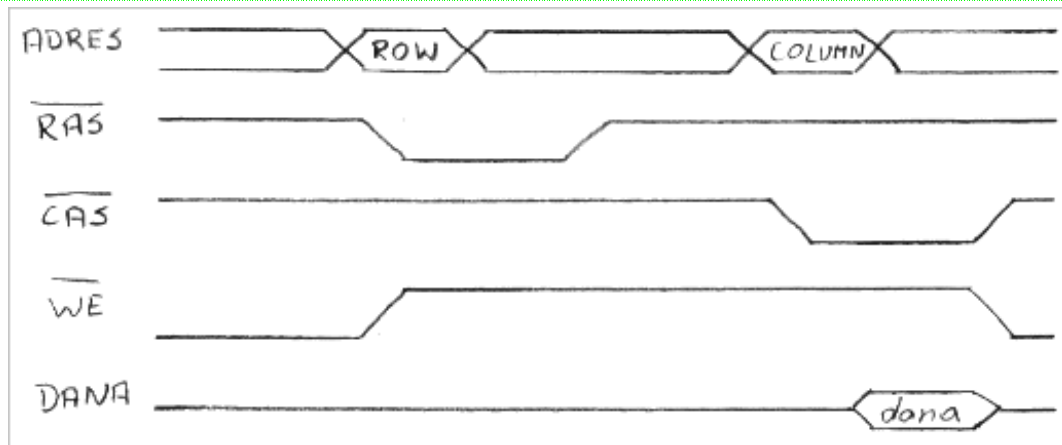


Rys. 2.31. Zapis do pamięci SRAM.

Odczyt z pamięci przebiega analogicznie: podajemy adres, wybieramy układ i odczytujemy dane.



Rys. 2.32. Symbol logiczny pamięci DRAM.

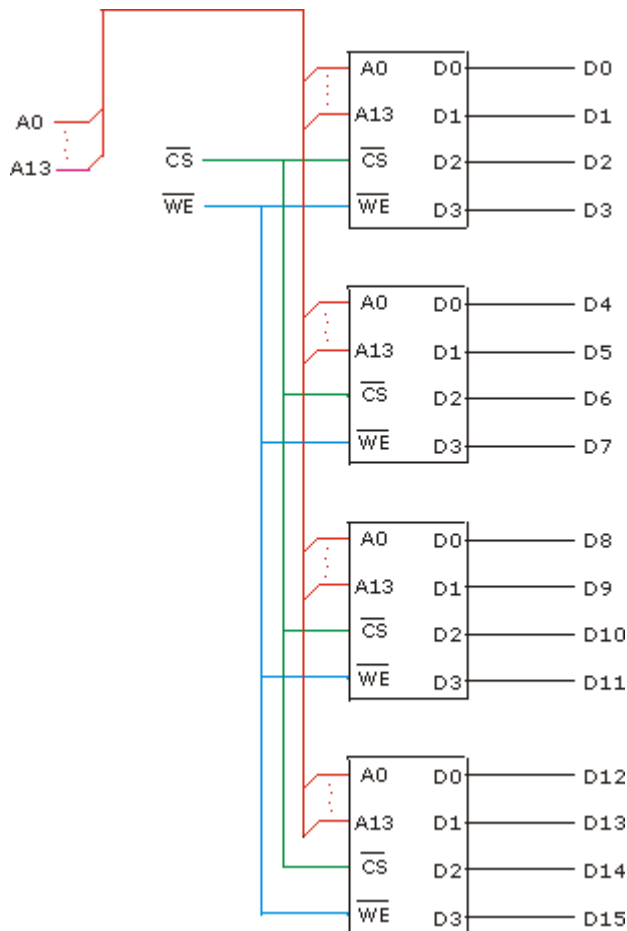


Rys. 2.33. Cykl odczytu z pamięci DRAM.

2.6. Łączenie układów pamięci scalonych w bloki o różnych organizacjach.

Łączenie układów pamięci w bloki o różnych organizacjach (organizacjach skrócie – moduły) polega na:

- zwiększaniu długości słowa,
- zwiększaniu pojemności,
- łączeniu dwóch powyższych jednocześnie.

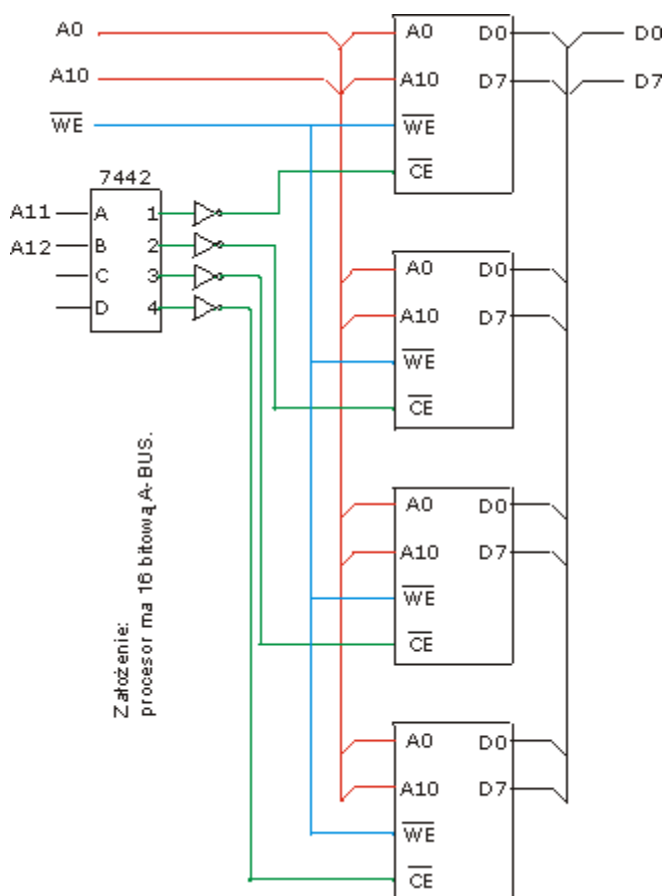


Rys. 2.34. Zwiększanie długości słowa.

Zwiększanie długości słowa jest to inaczej zwiększanie szerokości szyny danych, czyli mając układy pamięci zorganizowane jako 4-bitowe możemy z dwóch utworzyć 8-bitowe. Dla lepszego zrozumienia zbudujemy z układów pamięci o organizacji 16k x 4 moduł pamięci o organizacji 16k x 16. Procedura zwiększania szerokości słowa polega na połączeniu (rys. 34) odpowiedniej liczby układów o mniejszej długości słowa – w przykładzie są to cztery układy o długości słowa 4 bity. Układ działa każdego ten sposób, że każdego kolejnych układach przechowywane są kolejne 4 bity każdej z 16 bitowej wartości. Linie adresowe każdego układu łączymy ze sobą, ponieważ w danej chwili dostęp będzie realizowany równolegle do każdego układu do komórki o tym samym adresie.

Wejścia wyboru układu - $\sim CS$ – oraz odblokowanie zapisu do układu - $\sim WE$ – również należy połączyć razem. Takie połączenie zapewni nam jednoczesny dostęp (uaktywnienie) wszystkich układów w tym samym czasie. Wyjścia danych kolejnych układów nie należy ze sobą zwierzać, gdyż każde z nich stanowi jeden bit danych wyjściowych – tak jak to zostało przedstawione na rysunku. Rysując takie schematy należy zwrócić uwagę na ilość odpowiednich linii – adresowych, danych i sterujących. Ilość linii adresowych jest uzależniona od pojemności danego układu (lub też całego modułu – przykład następny), zaś liczba linii danych zależy od szerokości szyny danych danego układu lub całego modułu.

W przypadku zwiększania pojemności stosujemy układ połączeń jak na rysunku 35. Jak



Rys. 2.35. Zwiększanie pojemności pamięci.

widać korzystamy z układów o organizacji 2k x 8 , czyli każdy układ ma pojemność 2kB, zaś szerokość magistrali danych wynosi 8 bitów. W wyniku połączenia w sposób przedstawiony na rysunku uzyskaliśmy moduł o pojemności 8kB (o organizacji 8k x 8). Jak możemy zobaczyć linie adresowe A0÷A10 (czyli umożliwiające zaadresowanie 2kB pamięci) łączymy razem – każdy układ. Podobnie czynimy z liniami danych D0÷D7. Zwieramy również wejścia $\sim WE$ każdego z układów. Żeby móc zaadresować 8kB potrzebujemy:

- jeszcze dwóch linii adresowych: A11 i A12,
- w sumie czterech układów pamięci o organizacji 2k x 8.

Pierwszy układ będzie zawierał komórki o adresach 0 ÷ 2kB, drugi układ o adresach 2kB ÷ 4kB, trzeci o adresach 4kB ÷ 6kB, czwarty o adresach 6kB ÷ 8kB. Żeby móc przy użyciu dwóch linii zaadresować (wybrać) jeden z czterech układów najłatwiej jest zastosować układ multipleksera – np. 7442. Jest to układ posiadający cztery wejścia adresowe A-B-C-D oraz 16 wyjść³. Podając odpowiednie kombinacje na wyjścia wybrane zostaje jedno i tylko jedno wyjście –

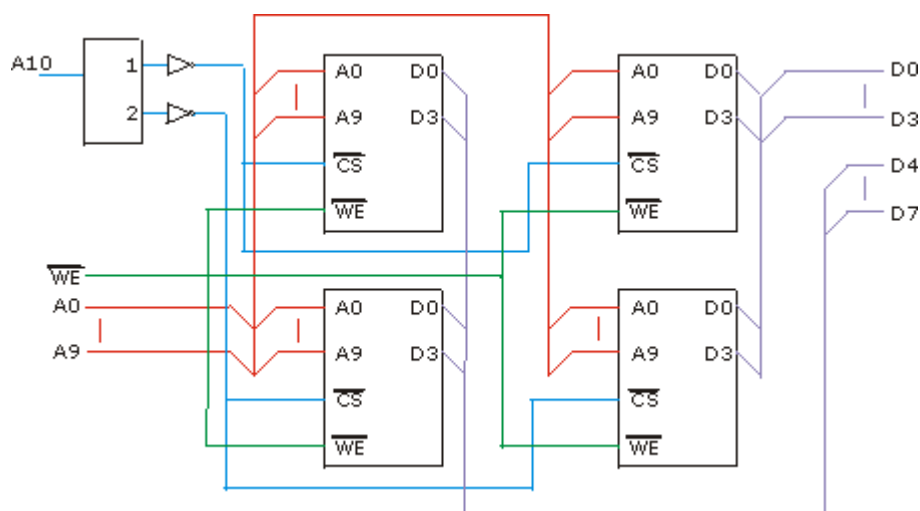
³ Na rysunku 35 ze względu na czytelność schematu zostały zaznaczone tylko 4 wykorzystane wyjścia.

pojawia się na nim stan aktywny, tu „1”. Innymi słowy możliwe są cztery kombinacje sygnałów A11 i A12:

- A11=0, A12=0
- A11=1, A12=0
- A11=0, A12=1
- A11=1, A12=1

Dzięki takiemu połączeniu jesteśmy w stanie wybrać jeden z czterech użytych układów pamięci, a tym samym komórkę o żądanym adresie z zakresu 0÷8kB. Wejścia \sim WE mogliśmy dlatego podłączyć razem, ponieważ zadziała ono tylko wtedy, gdy dany układ jest wybrany poprzez aktywację wejścia \sim CE – te układy, które nie będą wybrane nie będą uaktywnione dla operacji zapisu / odczytu. Ograniczeniem w tworzeniu modułów o większej pojemności jest szerokość magistrali adresowej procesora.

Stosując obydwa układy połączeń jednocześnie możemy uzyskać jednocześnie zwiększenie pojemności układu, jak i szerokości magistrali danych. Poniższy rysunek przedstawia realizację modułu 2k x 8 przy wykorzystaniu układów o organizacji 1k x 4.

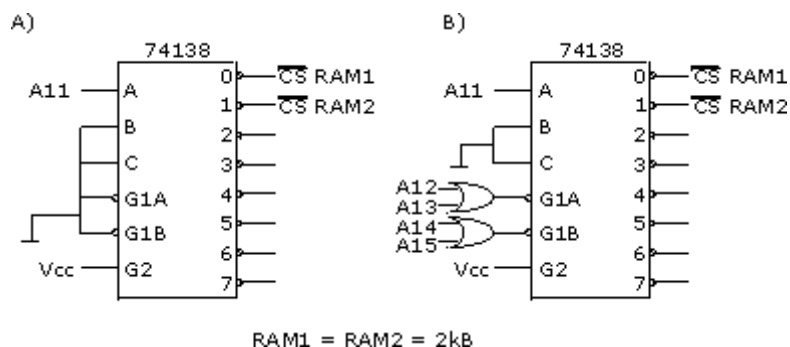


Rys. 2.36. Zwiększanie pojemności pamięci oraz szerokości szyny danych.

Jak widać na rysunku górne dwa oraz dwa dolne układy połączone są razem tak, żeby zwiększyć szerokość magistrali danych, zaś każda para względem siebie jest połączona tak, żeby zwiększyć pojemność pamięci. A zatem szyna adresowa jest równolegle podłączona do każdego z czterech wykorzystanych układów pamięci. Również równolegle zostały podłączone wejścia zapisu danych \sim WE. Wejścia wyboru układu zostały podłączone poprzez multiplexer sterowany linią A10. Dwa górne układy przechowują komórki o adresach 0÷1kB – A10=0 – (układ z lewej strony starsze 4 bity, układ po prawej młodsze 4 bity), zaś dwa dolne układy komórki o adresach 1kB÷2kB – A10=1 – (układ z lewej strony starsze 4 bity, układ po prawej młodsze 4 bity).

Z praktycznego punktu widzenia linie adresowe procesora niewykorzystane do adresowania układów (modułów) pamięci należy podłączyć do wejść sterujących

multiplexera w ten sposób, żeby można było jednoznacznie określić adres komórki w pamięci. Jeśli np. procesor posiada 16-bitową szynę adresową, a my wykorzystujemy 15 linii adresowych i nie podłączymy nigdzie 16 to każda komórka pamięci będzie widziana pod dwoma adresami: $0xxxxxxxxxxxxx_{(b)}$ oraz $1xxxxxxxxxxxxx_{(b)}$. Problem ten oraz jego rozwiązanie przedstawia poniższy rysunek. Zastosowany jest tu bardzo popularny



Rys. 2.37. Dekodowanie adresów: a) niepełne, b) pełne.

układ dekodera – 74138. Posiada on trzy wejścia adresowe C-B-A oraz trzy wejścia uaktywniające pracę dekodera: G1A, G1B, G2. Żeby układ pracował należy na wejścia G1A i G1B podać stan niski, zaś na wejście G2 stan wysoki. W tym celu podłącza się tam niewykorzystane linie szyny adresowej. Jeśli jest ich więcej niż trzy należy użyć bramek (rys. 37b). W praktyce zaleca się stosowanie dekodowania pełnego, dzięki czemu będzie można jednoznacznie określić położenie komórek w pamięci. Jako ćwiczenie dla powyższych tematów proponuje narysować następujące układy:

- 1kB x 2 -> 1kB x 8
- 1kB x 16 -> 4kB x 16
- 8kB x 8 -> 16kB x 16

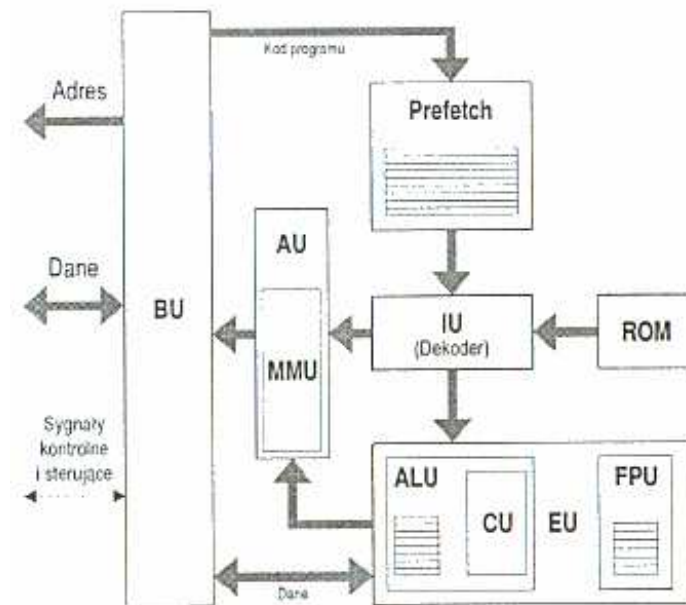
Podobne zadania będą na sprawdzianie ☺.

3. Systemy mikroprocesorowe.

3.1. Architektura mikroprocesorów.

Najnowsze osiągnięcia technologii produkcji układów scalonych pozwalają na realizację coraz to potężniejszych mikroprocesorów, jednak bez względu na szerokość ich magistral, częstotliwość pracy czy wielkość zintegrowanej w układzie pamięci, pierwotna zasada działania pozostaje – przynajmniej jak na razie – bez większych zmian.

Postęp w miniaturyzacji pozwala na zwiększenie stopnia upakowania i wzrost częstotliwości taktowania. Dobrze opanowana technika $0.18\mu\text{m}$, obecnie stosowana $0.13\mu\text{m}$, a obserwuje się przejście w kierunku $0.09\mu\text{m}$. To właśnie dzięki temu nieustannemu zmniejszaniu rozmiarów elementarnych tranzystorów (mimo stałego wzrostu ich liczby) pobór mocy nowych procesorów mieści się w granicach zdrowego rozsądku. Konstrukcja komputera PC podlega również stałej ewolucji, wymuszanej przez wymagania nakładane ze strony współczesnego oprogramowania. Pamięciożerne aplikacje i rozszerzenia multimedialne są w stanie zniwelować każdą sprzętową inwestycję. Rynek przyjmuje z wdzięcznością nowe opracowania procesorów gdyż częsty brak kompatybilności z poprzednimi modelami zmusza do wymiany płyt głównych i stanowi dźwignię napędową do nowych zakupów. Niezależnie od częstotliwości taktującej i charakterystycznych dla danej firmy rozwiązań indywidualnych każdy mikroprocesor da się przedstawić jako zespół współpracujących ze sobą bloków funkcjonalnych – rysunek



Rys. 3.1. Schemat blokowy procesora.

poniżej. Architektura komputera PC zakłada bardzo silną więź mikroprocesora z pamięcią operacyjną, ponieważ to właśnie w niej przechowywane są dane i rozkazy, tam też odsyła się wyniki obliczeń. Za współpracę z pamięcią odpowiada wyizolowany blok komunikacyjny (BU – Bus Unit). Połączenie realizowane jest zwykle w formie dwóch odseparowanych od siebie magistral: oddzielnie dla danych (w tym kodu) i adresów. Zarządzanie ruchem na magistralach gwarantują

dodatkowe sygnały sterujące. Konieczność zapewnienia płynnego funkcjonowania procesora wymaga, by dane do wykonania (kod programu) pobierane były w większych porcjach i gromadzone w kolejce, gdzie oczekują na wykonanie. Każdy ze spoczywających tu bajtów stanowi pewną zakodowaną informację o koniecznych do

wykonania operacjach. Odtworzenie tej informacji odbywa się w bloku dekodera (IU – Instruction Unit). Praca tego układu wspomagana jest często przez obszerną podręczną pamięć stałą (ROM), w której zawarty jest słownik tłumaczący przyjmowane kody rozkazowe na sekwencje ukrywających się pod nimi operacji. Rozkodowane instrukcje przekazywane są do układu wykonawczego (EU – Execution Unit), gdzie realizowana jest operacja określona danym kodem rozkazowym. Znaczna część powszechnie używanego kodu pracuje na liczbach stałoprzecinkowych (Integer) i podlega obróbce w module ALU (Arithmetic-Logic Unit) sterowanego z bloku CU (Control Unit). Jeśli jednak rozkaz dotyczył obiektów zmiennoprzecinkowych jego realizacja w stałoprzecinkowych układach logicznych zajęłaby wiele czasu. W takim wypadku przekazuje się go do wyspecjalizowanej jednostki zmiennoprzecinkowej FPU (Floating Point Unit). Rozkazy posługują się zwykle pewnymi argumentami (parametry funkcji, na przykład składniki przy dodawaniu), które również trzeba pobrać z pamięci operacyjnej. Często wymaga się, by wynik operacji przesłać pod określony adres. Obsługę tego rodzaju życzeń bierze na siebie jednostka adresowania (AU – Addressing Unit). Względy natury technicznej (stronicowanie i segmentacja) powodują, iż dostęp do pamięci operacyjnej wymaga pewnych dodatkowych nakładów, których realizacji poświęca się jednostkę zarządzania pamięcią (MMU - Memory Management Unit).

Pod względem przetwarzania rozkazów możemy podzielić procesory na dwie grupy CISC i RISC. Termin RISC (*Reduced Instruction Set Computer*) zrodził się w toku prac nad projektem 801 firmy IBM⁴ i oznaczał tendencję do ograniczania listy rozkazów procesora do niewielu błyskawicznie wykonywanych instrukcji. Realizacja każdej z nich była wynikiem odwołania się do wyspecjalizowanego obwodu elektronicznego, który nie tracił czasu na tłumaczenie rozkazu. Rozpisanie algorytmu wykonywanego programu, który przecież składał się z operacji dużo bardziej skomplikowanych niż przepisanie z rejestru do rejestru, należało do obowiązków kompilatora. Warto zwrócić uwagę, że system taki wyzwała ogromne obciążenie magistrali pamięciowej - kod przetłumaczony przez kompilator znajduje się przecież w pamięci operacyjnej i każdy z elementarnych "klocków" musi zostać pobrany przez procesor. Prędkość przetwarzania jest bardzo duża i taka musi też być przepustowość magistrali. Problem ten rozwiązuje się współcześnie przez zastosowanie szybkich pamięci podręcznych (L1 i L2). Spore uproszczenie konstrukcji typu RISC zawdzięcza się stałej długości wszystkich mikrorozkazów. Istnieją jednak projekty procesorów (na przykład Thumb firmy ARM) dopuszczające zmienną długość instrukcji. Odmienny punkt widzenia reprezentuje filozofia CISC (*Complex Instruction Set Computer*) dominująca w rodzinach x86 Intela i 680xx Motoroli. Procesory

⁴ Idea podchwyciona została przez wielu innych projektantów i utrwalona m.in. w takich projektach: AMD29000, HP PA-RISC, Intel 860 i 960 oraz IBM RS/6000.

budowane według tej zasady biorą na siebie coraz to większe zadania. Pobierany z pamięci pojedynczy rozkaz wywołuje szereg kompleksowych działań. Czas opracowywania takiego polecenia może dochodzić nawet do kilkudziesięciu cykli zegarowych. Kod programu jest bardzo zwarty a proces jego transportu do procesora znacznie mniej krytyczny. Jakkolwiek oba pojęcia definiowały początkowo kategorie przeciwstawne, to obecnie coraz trudniej jednoznacznie przypisać dany procesor do jednej nich. Ostry podział na RISC i CISC ma coraz mniejszy sens. Można co najwyżej mówić o pewnych cechach architektury a i to wyłącznie w odniesieniu do fragmentów określonej konstrukcji. Klasyczny przykład stanowią procesory K6 i Pentium Pro. Chociaż same zaliczają się do grupy CISC (akceptują przecież na swym wejściu złożone instrukcje x86), wyposażone są w dekodery tłumaczący na wewnętrzny kod mikroprocesora a więc ich jądro pracuje w trybie RISC (RISC Kernel). Uznawany za członka rodziny RISC procesor PowerPC 60 I może z kolei poszczycić się chyba zbyt nadmierną jak na "zredukowaną" (R - *Reduced*) liczbą rozkazów: samych rozgałęzień można naliczyć ponad 150. Łatwiejsze do sklasyfikowania są typy Pentium oraz MI (podobnie jak ich mutacje z rozszerzeniami MMX) przetwarzające dostarczany kod w sposób bezpośredni (*Native Code*).

3.2. Dostęp do pamięci.

Zadaniem procesora jest przetwarzanie danych złożonych w pamięci; tam też znajduje się kod realizowanego programu. CPU bardzo intensywnie współpracuje z układami pamięciowymi i bez nich nie może się obejść. Wykonywane operacje mają charakter dwukierunkowy: zapis lub odczyt. Przy zapisie procesor wystawia słowo na magistralę danych a stosowny adres na magistralę adresową. Podczas odczytu końcówki adresowe CPU definiują punkt odniesienia w pamięci a zawartość tej właśnie komórki zdejmowana jest przez procesor z magistrali danych. Nad sprawnym przebiegiem takich operacji czuwają oczywiście różne układy towarzyszące, których rytm pracy wyznaczają sygnały kontrolno-sterujące wytwarzane przez sam procesor. Kilka poniższych uwag ma pomóc Czytelnikowi w wyjaśnieniu zachodzących przy tym zjawisk. Mają one kluczowe znaczenie dla zrozumienia działania CPU. Procesory 16-bitowe pierwszej generacji (począwszy na modelu 8088 a skończywszy na układzie 80186) miały 20 końcówek adresowych. Architektura logiczna wyznaczała podział pamięci na 64 kB segmenty. Mechanizm adresowania składał się z dwóch rejestrów 16-bitowych: jeden określał początek segmentu (*Segment*) a drugi odległość punktu od tego początku (*Offset*). Para rejestrów Segment i Offset wyznaczała *adres logiczny*. Konieczność dopasowania tej struktury (16 + 16) do wymiaru 20-bitowej magistrali adresowej wyznaczyła następujący sposób przeliczenia:

$$\text{Adres fizyczny} = 16 \times \text{Segment} + \text{Offset}$$

Generowany według powyższej formuły *adres fizyczny* (tutaj 20-bitowy) wystawiany był na magistralę adresową. Operacja mnożenia przez 16 stanowi w dziedzinie liczb binarnych przesunięcie w lewo o 4 pozycje - tak z 16 bitów robi się potrzebne 20. Powstające z prawej strony dodatkowe pozycje wypełnia się zerami a do uzyskanej w ten sposób liczby 20-bitowej dodaje się zawartość rejestru Offset.

Warto w tym miejscu wspomnieć o *adresie liniowym*. Stanowi on efekt działania mechanizmu segmentacji w trakcie przetwarzania adresu logicznego. Adres jest *liniowy* dlatego, ponieważ bezpośredni system adresowania segmentu (w rejestrze segmentowym zawarty jest adres segmentu) gwarantuje, iż segment o adresie wyższym znajduje się fizycznie wyżej w pamięci. Jeśli omawiany w dalszej części rozdziału mechanizm stronicowania jest wyłączony (i pamięć wirtualna nieaktywna), adres liniowy odwzorowywany jest wprost w adres fizyczny: 20-, 24- lub 32-bitowy, zależnie od szerokości magistrali. Aktywacja przestrzeni wirtualnej powoduje, iż mechanizm stronicowania odwzorowuje adres liniowy w adres fizyczny.

Generacja procesorów 16-bitowych wyposażonych w 20-końcówkową magistralę adresową operowała w przestrzeni fizycznej o rozmiarze 1 MB (2^{20}). Wyjątek stanowił model 80286 dysponujący 24 liniami adresowymi i obejmujący tym samym przestrzeń 16 MB (2^{24}). Procesory 32-bitowe (począwszy od 80386DX) mają już 32 końcówki adresowe co pozwala na pokrycie zakresu 4 GB (2^{32}).

Architektura nowoczesnych procesorów 32-bitowych ulegała licznym przeobrażeniom a implementacja nowych, dostosowanych do współczesnych wymogów trybów pracy spowodowała sporą komplikację w przeliczeniach adresów logicznych, którymi operuje program, na rzeczywisty stan końcówek adresowych CPU. Wyróżnić należy trzy podstawowe tryby pracy procesora:

- Tryb rzeczywisty (*Real Mode*). Procesor 32-bitowy przełącza się w stan odwzorowujący zachowanie jednostki 16-bitowej. Zawartość rejestru segmentowego przesuwana jest o 4 pozycje binarne w lewo i dodawana do zawartości rejestru przesunięcia ($16 \times \text{Segment} + \text{Offset}$). Wynik stanowi liczbę 20-bitową, która jest po prostu wystawiana na magistralę adresową. Proszę zwrócić uwagę, iż konstrukcja adresu według takiej reguły prowadzi do wieloznaczności. Różne pary liczb Segment:Offset mogą dawać jednakowy wynik i odwoływać się do tej samej komórki pamięci. W trybach chronionych jest to z różnych względów wykluczone.
- Tryb chroniony (*Protected Mode*). Tryb ten wprowadzony został (począwszy od modelu 80286) w celu ochrony poszczególnych zadań pracujących pod kontrolą wielozadaniowego (*multitasking*) systemu operacyjnego. Całość jest zaimplementowana jako czteropoziomowy system uprawnień. Układy sprzętowe wbudowane w procesor kontrolują odwołania do danych oraz kodu i wydają (lub odmawiają)

zezwolenia na dostęp. Wzrost bezpieczeństwa okupuje się stosunkowo dużą komplikacją w obliczaniu adresu.

- Tryb wirtualny procesora 8086 (*Virtua18086 Mode*). Tryb dostępny jest w układach rodziny Intel począwszy od modelu 80386. Koncepcja trybu wirtualnego stanowi kombinację dwóch wcześniej omówionych trybów. System operacyjny wykorzystujący tę możliwość pracy stawia do dyspozycji wykonywanych programów bardzo interesujące środowisko. Każdy z programów użytkowych widzi swój własny procesor 8086 pracujący w trybie rzeczywistym. System jako całość dysponuje jednak zaczerpniętymi z trybu chronionego mechanizmami gwarantującymi odpowiedni dobór praw dostępu do zasobów i uniemożliwiającymi wzajemne kolizje pomiędzy współuczestniczącymi zadaniami.

Najbardziej istotną innowacją (oprócz architektury 32-bitowej) wprowadzoną do rodziny procesorów Intela począwszy od modelu 80386 jest jednak jednostka stronicowania (*Paging Unit*). W kolejnej części rozdziału zostaną omówione możliwości jakie oferuje to rozszerzenie.

3.3. Adresowanie.

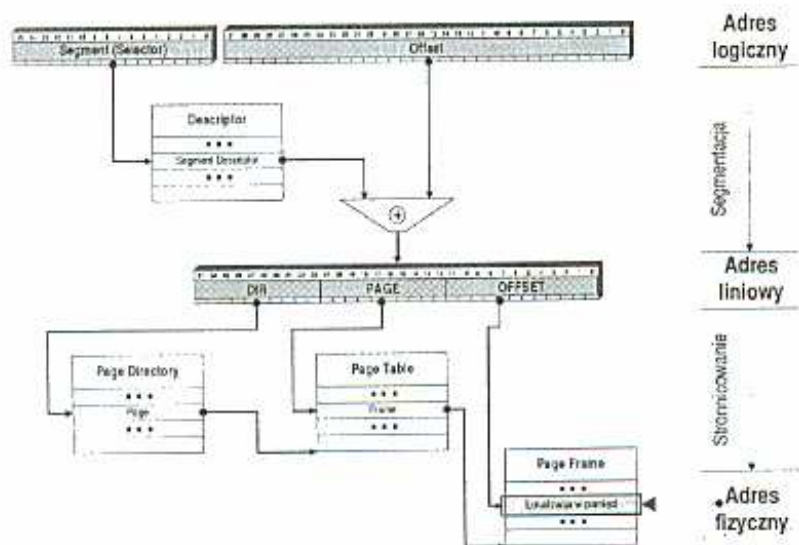
Znana z trybu rzeczywistego prosta projekcja zawartości rejestrów segmentowych i przesunięcia na adres fizyczny zatracą się wyraźnie w chronionych trybach pracy. Wspomniane rejestry są od siebie całkowicie odseparowane i chociaż nadal dostępne programowo, interpretacja ich zawartości jest zupełnie inna. Rejestr segmentowy stanowi teraz selektor segmentu a nie wprost jego adres. 13 najstarszych pozycji tego rejestru stanowi wskaźnik do 8-bajtowej struktury opisującej dany segment (*Segment Descriptor*). Z pozostałych trzech bitów dwa poświęcone zostały na implementację czteropozomowego systemu praw dostępu do segmentu a jeden określa czy wspomniany powyżej wskaźnik odnosi się do tzw. tablicy lokalnej czy globalnej. Rekordami w tych tablicach są właśnie deskryptory segmentów. Każdy z nich zawiera jednoznacznie informację o lokalizacji segmentu w pamięci i jego rozmiarach. W ten sposób definiowany jest spójny obszar o adresie początkowym wyznaczanym liczbą 32 bitową. Na liczbę określającą rozmiar takiego bloku przeznaczone zostało pole 20-bitowe. Istnieją dwie możliwości interpretowania liczby w tym polu. W trybie 1:1 (granulacja 1B) rozmiar maksymalny wynosi po prostu $2^{20} = 1 \text{ MB}$. Gdyby jednak przyjąć jednostkę 4 kB (granulacja 4 kB), rozmiar segmentu może sięgać do $2^{20} \times 2^{12} = 2^{32} = 4 \text{ GB}$. Informacja o tym, która z konwencji jest aktualnie obowiązująca zawarta jest w deskrypcorze. Adres logiczny do którego odwołuje się procesor 32-bitowy budowany jest ze złożenia zawartości 16-bitowego rejestru segmentowego i 32-bitowego rejestru przesunięcia. W przypadku granulacji 4 kB maksymalny wymiar segmentu wynosi 4 GB. Liczba możliwych segmentów wynosi 2^{14} (2^{13} deskryptorów lokalnych i tyle samo globalnych) co daje w sumie astronomiczną objętość 64 TB ($2^{14} \times 2^{32}$). Właściwie już jeden taki segment

stanowi wielkość optymalną: 4 GB przestrzeni adresowej zaspokaja przy obecnym rozwoju techniki PC najbardziej wygórowane wymagania. Rozwiązanie takie, określane jako "płaski model pamięci" stosowane jest w systemie Windows NT. Segmenty 1 MB (granulacja bajtowa) pozwalają na utworzenie przestrzeni wirtualnej o rozmiarze 16 GB ($2^{14} \times 2^{20}$). Utworzenie pamięci operacyjnej o takiej pojemności w oparciu o półprzewodnikowe układy scalone jest absolutnie nierealne. Samo zasilanie i sterowanie zespołu 1000 układów SIMM (16 MB) nastęczało by zbyt wiele trudności technicznych, nie mówiąc o kosztach. Jest więc rzeczą oczywistą, iż nie wszystkie segmenty jednocześnie mogą być przechowywane w pamięci operacyjnej. Część z nich składa się więc (*Swapping*) na znacznie tańszym nośniku magnetycznym (zwykle dysk twardy). Duża pamięć wirtualna realizowana jest więc jako złożenie małej i szybkiej pamięci RAM i obszernej pamięci masowej. System operacyjny nadzoruje mechanizm składowania ustawiając odpowiednie znaczniki w tabelach deskryptorów. Jeśli procesor żąda dostępu do takiego "odłożonego na bok" segmentu, sprzęt wyzwala tzw. wyjątek (*Exception*), będący odpowiednikiem przerwania 0x0b. Wzywany jest podprogram obsługi przerwania, który sprowadza potrzebny segment z dysku do pamięci. Omówione powyżej składowanie segmentów pozwala na wykorzystanie znacznie większego wycinka logicznej przestrzeni adresowej procesora niż wymiar fizycznie obecnej pamięci operacyjnej. Mechanizm ten nie jest jednak pozbawiony wad. Proszę zwrócić uwagę, iż elementarną jednostką wymiany informacji pomiędzy pamięcią RAM a pamięcią masową jest segment. Jego rozmiar niekoniecznie musi odpowiadać strukturze przetwarzanych obiektów. Obszerne bloki danych typowe dla zagadnień numerycznych, moduły dużych programów, mapy bitowe i im podobne lokowane są w dużych segmentach. Zwięzłe procedury, bloki danych krótkich programów umieszcza się oczywiście w dopasowanych do ich rozmiarów mniejszych segmentach. Potrzeba sprowadzenia do pamięci jednego z dużych segmentów może oznaczać konieczność zwolnienia miejsca zajmowanego przez szereg mniejszych bloków. Jeżeli przetwarzane zagadnienie wymaga naprzemiennego sięgania do sprowadzanego właśnie dużego segmentu oraz wyeksportowanych przed chwilą segmentów mniejszych (klasyczny przykład: kompaktowy kod obsługi bazy danych i obszerne struktury samych danych) rozpoczyna się intensywny proces wymiany informacji pomiędzy dyskiem a pamięcią. Operacje takie pochłaniają oczywiście znaczną część mocy obliczeniowej. Opisany problem staje się szczególnie dotkliwy w komputerach skąpo wyposażonych w pamięć RAM. Należy przecież pamiętać, iż tylko pewna część pamięci operacyjnej może być oddana do dyspozycji mechanizmu obsługującego zrzuty na dysk. Wolna przestrzeń to reszta, która pozostaje po rozlokowaniu kodu i danych systemu operacyjnego oraz sterowników i innych niezbędnych elementów. Może się wręcz zdarzyć, iż segment po który chcemy aktualnie sięgnąć nie mieści się w ogóle w wolnej przestrzeni. Uruchamiana jest wtedy skomplikowana procedura analizująca

stopień wykorzystania obecnego w pamięci kodu i podejmuje się decyzję, które z jego fragmentów mogą być odesłane na dysk.

3.4. Stronicowanie

Stronicowanie (*Paging*) stanowi specyficzną funkcję odwzorowującą ogrom przestrzeni wirtualnej na stosunkowo wąskie pole pamięci RAM plus obszar udostępniany przez pamięć masową. Odwzorowanie to odbywa się za pośrednictwem małych porcji zwanych stronami (*Pages*). Rozmiar stron jest stały i wynosi 4 kB. W przypadku omawianego tutaj modelu 80386, wielkość ta jest "zaszyta" we wnętrzu CPU i nie może być zmieniana. Niektóre procesory najnowszej generacji (na przykład Pentium) pozwalają na pewne odstępstwa od tej reguły. Można w nich wybrać jeden z dwóch rozmiarów stron: standardowy 4 kB lub rozszerzony 4 MB. Procesor może ale nie musi korzystać z mechanizmu stronicowania. Odpowiedni "wyłącznik" zamontowany jest w jednym z rejestrów konfiguracyjnych (bit PG w rejestrze CR0). Samo ustawienie PG oznacza jedynie inną interpretację adresów i jeszcze niczego nie ułatwia. To system operacyjny musi brać na siebie obsługę całego związanego z tym mechanizmu. Jeśli stronicowanie jest aktywne, adres logiczny podlega dwustopniowym przekształceniom (rysunek 8).



Rys. 3.2. Schemat tworzenia adresu fizycznego przy włączonym stronicowaniu.

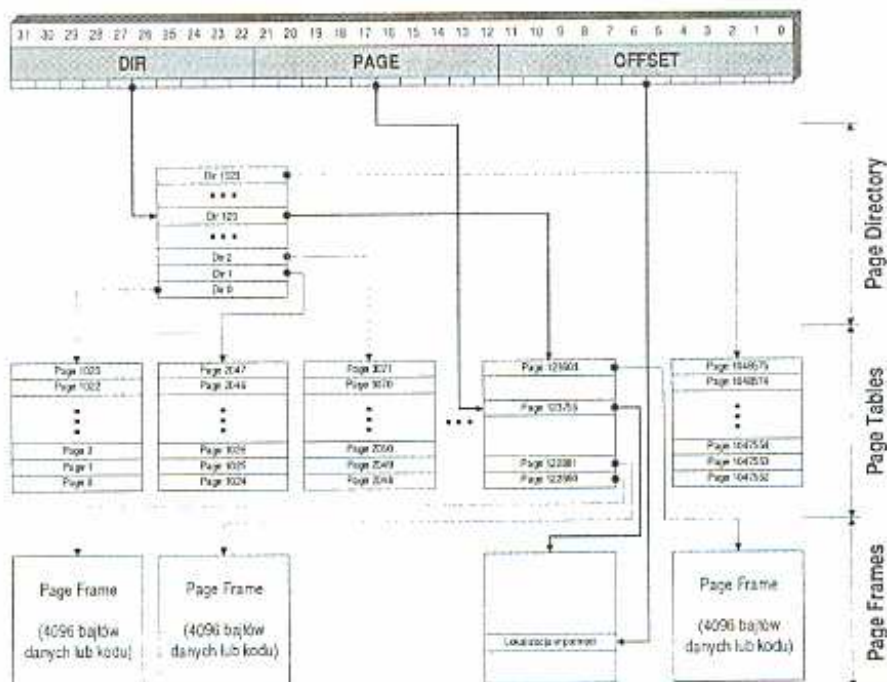
W pierwszej fazie odbywa się opisany wcześniej proces segmentacji. 16-bitowy selektor segmentu wskazuje na rekord adresowy w tablicy deskryptorów. Do uzyskanego w ten sposób adresu podstawy dodaje się 32-bitowe przesunięcie. Dopiero generowany w powyższy sposób adres liniowy (rysunek 9) podlega transformacji na fizyczny adres obiektu. Transformacja ta stanowi sedno mechanizmu stronicowania a jej istota rzeczy polega na innej interpretacji adresu liniowego (rysunek 10).

32-bitowe słowo adresowe podzielone jest na trzy grupy. W pierwszych dziesięciu najstarszych bitach przechowywany jest numer rekordu w katalogu stron (*Page Directory*).

Katalog zawiera 1024 takich rekordów a każdy z nich wskazuje na tablicę stron (*Page Tables*).



Rys. 3.3. 32-bitowy adres liniowy.



Rys. 3.4. Interpretacja 32-bitowego adresu liniowego.

Pierwszy rekord w katalogu stron wskazuje adres bazowy tablicy stron o numerach 0 - 1023, drugi dotyczy tablicy 1024 - 2047 a ostatni odnosi się do stron o numerach 1047552 - 1048575. 10 kolejnych bitów adresu liniowego (*Page*) wskazuje na jeden z 1024 rekordów w danej tablicy. Same rekordy w tablicach stron stanowią z kolei wskaźniki do stron, z których każda ma wymiar 4 kB. Adresowany obiekt ulokowany jest w obrębie danej strony. Jego dokładna pozycja ustalana jest na podstawie pola Offset - dwunastu najmłodszych bitów adresu liniowego ($2^{12} = 4 \text{ kB}$).

3.5. Obsługa przestrzeni adresowej I/O.

Przestrzeń adresowa procesorów dzieli się na obszar pamięci oraz na obszar wejścia wyjścia (I/O -*Input/Output*). Różnica widoczna jest zarówno od strony programowej jak i sprzętowej. Rozkazy maszynowe odwołujące się do pamięci (np. MOV mem, reg) operują w pierwszym z tych obszarów. Dwa specjalne rozkazy odwołań do portów (IN i OUT) obsługują drugi z nich. Warto dodać, że rozkazy IN i OUT operują wyłącznie za pośrednictwem akumulatorów, tj. nie można przesłać zawartości pamięci bezpośrednio do portu lub skierować zawartość portu do pamięci. Przestrzeń adresowa pamięci nie ma jak wiadomo takich ograniczeń. Podczas operacji na portach ignorowane są ponadto

stany rejestrów segmentowych. Przestrzeń wejścia-wyjścia można więc sobie wyobrazić jako oddzielny segment 64 kB, do którego można się zwracać wyłącznie za pośrednictwem instrukcji IN i OUT. Procesor dysponuje mechanizmem sygnalizacyjnym jednoznacznie informującym otoczenie o tym, czy aktualne odwołanie odnosi się do pamięci czy też do przestrzeni wejścia-wyjścia. Funkcje tę spełniają odpowiednie sygnały sterujące. W przestrzeni wejścia-wyjścia rozmieszczane są zwykle rejestry konfiguracyjne (zestawy przełączników binarnych) sterujące pracą różnych układów otaczających procesor lub wręcz samego procesora. Dostęp do tych rejestrów odbywa się za pośrednictwem instrukcji maszynowych IN oraz OUT, mówimy wówczas o tzw. *I/O-mapped I/O*. Oczywiście nic nie stoi na przeszkodzie by te same rejestry umieścić w przestrzeni adresowej procesora i odwoływać się do nich poprzez rozkazy maszynowe MOV itp. Rozwiązanie tego typu nosi miano *Memory-mapped I/O*. Układy logiczne kontrolera magistrali kierują i tak wszelkie odwołania do właściwej lokalizacji: pamięci lub portów.

Procesor 8086.

Zapis i odczyt portów nie różni się zasadniczo od analogicznych cykli dostępu do pamięci. Procesor sygnalizuje potrzebę sięgnięcia do portu poprzez specyficzny stan sygnałów sterujących $\sim S2$, $\sim S1$ i $\sim S0$.

	$\sim S2$	$\sim S1$	$\sim S0$
Odczyt portu	0	0	1
Zapis do portu	0	1	0

Procesor 8086 może zaadresować 65 536 (64 K) portów, tak więc cztery najwyższe linie adresowe (A19 -A16) są zawsze równe zero. W komputerach PC-kompatybilnych używa się ponadto wyłącznie pierwszych 1024 portów (0x000h - 0x3FFh).

Procesor 80386 i 80486.

Procesory te mogą zaadresować:

65536 (64 K) portów 8-bitowych o adresach rozpoczynających się od 0, 1, 2 do 65535
lub:

32 768 (32 K) portów 16-bitowych o adresach rozpoczynających się od 0, 2, 4 do 65 534
lub:

16384 (16 K) portów 32-bitowych o adresach rozpoczynających się od 0, 4, 8 do 65532

Dopuszczalne jest mieszanie portów o różnych wymiarach, ale sumaryczna długość w przeliczeniu na bajty nie może przekraczać 64 K. Stan końcówki M/ $\sim IO$ sygnalizuje wybór przestrzeni adresowej:

	M/ $\sim IO$
Odwołanie do pamięci	1
Odwołanie do I/O	0

Kierunek transmisji rozpoznawany jest w klasyczny sposób znany z cykli dostępu do pamięci:

	W/ \sim R
Zapis do portu	1
Odczyt portu	0

Ze względu na wymóg kompatybilności "w dół" (486 ~ 386 ~ 286) procesor 80486 blokuje adresy portów 0xF8h - 0xFFh używane we wcześniejszych modelach jako kanał komunikacyjny CPU-MPU (koprocessor). Dostęp do przestrzeni wejścia-wyjścia odbywa się z pominięciem pamięci podręcznej (zarówno zapis jak i odczyt portów). W trakcie pisania do portów nie korzysta się z buforów zapisu procesora.

Pentium.

Zakres przestrzeni wejścia-wyjścia zgodny jest z procesorem 80486 (64 K portów 8-bitowych lub ekwiwalent). Na uwagę zasługuje jedynie fakt, iż w cyklach dostępu do portów bierze udział w najlepszym razie połowa szerokości 64-bitowej magistrali danych. Cykle takie omijają również pamięć podręczną oraz wszelkie buforów zapisu.

3.6. Caching.

Coraz szybciej taktowane procesory wymagają coraz to szybszych układów pamięciowych. Czas przetwarzania prostego rozkazu nie jest zwykle dłuższy od pojedynczego cyklu zegarowego, a najnowsze procesory przetwarzają ich nawet po kilka w jednym cyklu. Pamięć operacyjna komputerów PC zbudowana jest ze stosunkowo tanich układów scalonych DRAM, które mimo postępu technologicznego cechują się czasem dostępu większym o rząd wielkości. Pracujący z dużą szybkością procesor musiałby zbyt długo oczekiwać na kolejną porcję danych. Istnieją oczywiście typy pamięci, takie jak np. SRAM (Static RAM), mogące sprostać takim wymaganiom, ale ze względów ekonomicznych (są kilkanaście razy droższe) nie można z nich zbudować całej pamięci operacyjnej. W celu usunięcia tego ograniczenia wprowadzona została pamięć podręczna stanowiąca bufor o krótkim czasie dostępu (kilka ns). Rozwiązanie jest ekonomicznie uzasadnionym kompromisem - duża i tania pamięć główna wspierana jest przez małą, szybką i nie aż tak drogą pamięć podręczną (Cache). Dalsze rozwinięcie tej idei stanowi kaskada pamięci podręcznych. Kolejne poziomy (Levels) są coraz większe i coraz wolniejsze (rysunek 3.5). Stosowane praktycznie rozwiązania nie wyszły nigdy poza poziom L3.



Rys. 3.5. Szereg pamięci podręcznych wspomaga dostęp do pamięci operacyjnej.

Efektywne wykorzystanie pamięci podręcznej nie byłoby możliwe, gdyby nie pewna cenna właściwość przetwarzanego przez komputery PC kodu, który jest stosunkowo spójny.

Procesor operuje przez dłuższy czas w tym samym rejonie pamięci, a nie skacze chaotycznie po całym jej obszarze. Przetwarzane rozkazy ułożone są przecież w pamięci sekwencyjnie (nie licząc oczywiście rozgałęzień i skoków), a bloki danych też nie są świadomie rozpraszane po całej przestrzeni adresowej. Rozważania teoretyczne i symulacje doprowadziły do wyznaczenia przybliżonych rozmiarów takiego obszaru. Można przyjąć z prawdopodobieństwem równym 0,9, iż większość odwołań do pamięci mieścić się będzie w bloku nie przekraczającym wymiarów 16 kB. W tabeli 1.4 zestawiono rozmiary pamięci podręcznej stosowanej we współczesnych procesorach.

Typ procesora	P	P-MMX	P-Pro	P-II	C	C-A	P-III	P-4
L1 - kod [kB]	8	16	8	16	16	16	16	-32-64(*)
L1 - dane [kB]	8	16	8	16	16	16	16	8
L2 [kB]	-	-	256/512	512	-	128	256/512	256

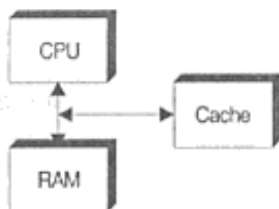
Typ procesora	M1.	M2	M3	KS	K6, K6-2	K6 111	K7
L1 - kod [kB]	16**	64**	16	16	32	32	64
L1 - dane [kB]			16	8	32	32	64
L2 [kB]	-	-	256	-	-	256	512

*TEC (*Trace Execution Cache*) – bufor o pojemności 12 kμOPS
 **Wspólny dla kodu i danych, ponadto 256 bajtów ILC (*Instruction Line Ciche*)

Tabela 3.1. Rozmiar pamięci podręcznej współczesnych procesorów (P = Intel Pentium, C = Intel Celeron).

Topologie.

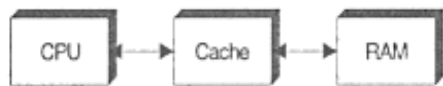
Buforowe działanie pamięci podręcznej osiąga się, umieszczając ją niejako na trasie do pamięci głównej. Niezależnie od różnic w strategii dostępu (różnorodne algorytmy), w chwili obecnej występują w świecie PC trzy podstawowe układy topologiczne. Na rysunku



Rys. 3.6. Układ konwencjonalny (*Look-Aside*) podłączenia pamięci podręcznej.

3.6 przedstawiono układ konwencjonalny (często określany nazwą *Look-Aside*), z którym mamy do czynienia w procesorach x86 i rodzinie Pentium do modelu MMX włącznie. Tutaj pamięć podręczna L2 (na płycie głównej) dołączona jest równolegle do magistrali pamięciowej, a L1 zlokalizowana jest we wnętrzu CPU i taktowana jego zegarem. Procesor odwołuje się do pamięci podręcznej, wykorzystując magistralę pamięciową; częstotliwość pracy pamięci podręcznej jest więc taka sama, jak pamięci głównej, jedynie czas dostępu może ulec skróceniu. Drugi sposób podłączenia przedstawiono na

rysunku 3.7; określa się go mianem *LookThrough* lub *Inline Cache*. Procesor, zanim sięgnie do pamięci głównej, napotyka układ pamięci podręcznej L1, a jeśli nie znajduje tam żądanych danych, zwraca się do L2. Jest ona z kolei sprzężona z pamięcią główną poprzez właściwą magistralę pamięciową. Pamięć podręczna L2 może więc być taktowana



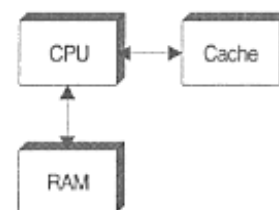
Rys. 3.8. Układ *Look-Through* podłączenia pamięci podręcznej.

inną częstotliwością niż sama magistrala pamięciowa.

Całkowite oddzielenie pamięci podręcznej od magistrali pamięciowej umożliwia architektura dwuszynowa (*Backside*) - rysunek 3.8. Kontroler pamięci L2 osadzony jest na strukturze procesora i

ma (poprzez zestaw wydzielonych końcówek) bezpośrednie połączenie z pamięcią podręczną. Częstotliwości taktowania magistral są od siebie absolutnie niezależne.

Fragment łączący procesor z pamięcią główną nazywany jest szyną FSB (*Front Side Bus*) w przeciwieństwie do części biegnącej do L2, która nazywana jest BSB (*Back Side Bus*). W procesorach Pentium II drugiej generacji dostęp do pamięci głównej odbywał się poprzez magistralę FSB taktowaną zegarem 100 MHz (w poprzednich wersjach 66 MHz). Magistrala BSB taktowana była połową częstotliwości zegara CPU (czyli na przykład $450/2 = 225$ MHz). Rodzina procesorów



Rys. 3.7. Układ *Back-Side* podłączenia pamięci podręcznej.

Mendocino (Celeron A) taktowała magistralę BSB pełną częstotliwością zegara CPU. Architektura typu *Look-Aside* ogranicza szybkość pracy L2, bowiem nie można podnosić bezkarnie częstotliwości zegara magistrali. Obecne systemy oparte na rodzinie procesorów z podstawką typu Super 7 pracują poprawnie do około 100 MHz. Choć można próbować je przeciążać do 125 MHz, skutkuje to obniżeniem stabilności całego układu. Na nadmierne ryzyko narażone są nie tylko obwody pamięci operacyjnej, ale i peryferia podłączone również do "przetaktowanych" magistral ISA, PCI i AGP. Dedykowana szyna L2 (BSB) umożliwia niezależny wybór częstotliwości pracy pamięci podręcznej lub swobodną regulację jej szybkości (tak jak umożliwia to architektura procesora AMD K7). Warto zwrócić uwagę, iż częstotliwość taktowania BSB może być zarówno większa, jak i mniejsza od częstotliwości zegara CPU. Procesory implementujące BSB zawierają blok L2 wkomponowany w półprzewodnikową strukturę CPU (*On-Chip*, *On-Die*) lub osadzony w jej bezpośrednim sąsiedztwie (na module procesora). Typowymi przedstawicielami pierwszego rodzaju są Pentium Pro i AMD K6-2, a drugiego - rodziny Pentium II i Pentium III. Rozmiar pamięci podręcznej L2 i częstotliwość jej taktowania stanowią dwie wartości, których dobór jest wynikiem kompromisu o podłożu ekonomicznym. Rozwiązanie idealne to pamięć podręczna bardzo duża i bardzo szybka. Zarówno zwiększanie pojemności L2, jak i podnoszenie częstotliwości pracy BSB pociąga za sobą

konieczność stosowania szybkich i drogich układów pamięciowych, co zwiększa koszty opracowania i produkcji. Krótki przegląd architektury powszechnie stosowanych procesorów daje obraz różnorodności eksperymentów przeprowadzanych w tej dziedzinie. Procesor Pentium II ma dużą pamięć podręczną L2 (512 kB) i stosunkowo wolną magistralę BSB (1/2 częstotliwości zegara CPU). Modele rodziny Celeron A dysponują małą pamięcią podręczną L2 (tylko 128 kB), ale za to magistrala BSB pracuje z szybkością sięgającą 400 MHz. Gdzieś pośrodku leży AMD K6 III ze średniej wielkości pamięcią podręczną L2 taktowaną pełną częstotliwością procesora. Każdy z tych procesorów jest lepszy w pewnych typach aplikacji, a w innych gorszy. Wszystko zależy od stylu programowania i cech charakterystycznych kodu. Kod zwięzły preferuje szybki L2; obszerne moduły programowe (kod rozproszony) będą się lepiej wykonywać w środowisku z dużą pamięcią podręczną.

Organizacja pamięci podręcznej.

Pamięć podręczna zorganizowana jest w linijki (Cache Lines) o rozmiarach 16 lub 32 bajtów. Jest to najmniejsza porcja informacji, jaką pamięć podręczna wymienia z pamięcią główną. System taki narzucony został dla zwiększenia wydajności. Większość kontrolerów magistral realizuje zwielokrotniony cykl dostępu (Burst) bardzo szybko. Dla pamięci podręcznej pamięć główna to zbiór linijek, które z kolei pogrupowane są w zespoły zwane stronami (Pages). Informacja o tym, które z linijek RAM znajdują się aktualnie w pamięci cache, przechowywana jest w katalogu pamięci podręcznej TRAM (TAG-RAM). Sposób odwzorowywania linijek i stron pamięci głównej, w bloku pamięci podręcznej, może przebiegać na jeden z trzech omówionych dalej sposobów.

Mapowanie bezpośrednie – Direct Mapped.

Implementacja tego typu (rysunek 3.9) jest najprostszą z możliwych i można ją również rozpatrywać jako przypadek szczególny układu asocjacji zespołowej (1-Way-Set). Pamięć główna dzieli się na strony, zgodne z rozmiarem bloku pamięci podręcznej.



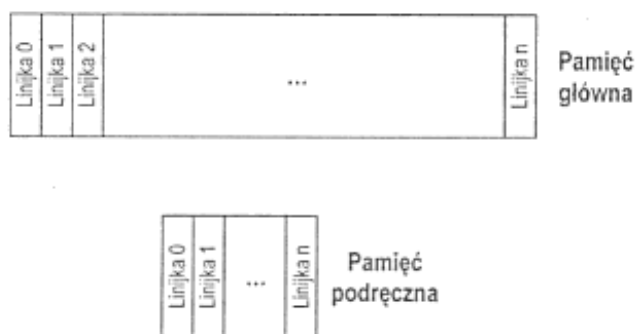
Rys. 3.9. Mapowanie bezpośrednie.

W linijce 0 pamięci podręcznej znajduje się zawsze jakaś linijka 0 pewnej strony pamięci RAM. Prostota konstrukcji i szybkość odszukiwania informacji (wystarczy przeprowadzić tylko jedną operację porównania) są jedynymi zaletami takiego systemu. Układ cechuje

niestety brak elastyczności i mała efektywność, szczególnie jeśli dochodzi do częstych skoków poza granice stron. Jeżeli pamięć podręczna przechowuje linijkę n jakiejś strony, a system żąda dostarczenia linijki n strony następnej, kontroler musi usunąć ją z pamięci, chociaż jest prawie pewne, iż w chwilę potem system odwoła się do niej ponownie.

Pełna asocjacja – Fully Associative

Organizacja z pełną asocjacją (rysunek 3.10) umożliwia składowanie dowolnej linijki RAM w dowolnym miejscu pamięci podręcznej. W modelu tym nie ma symbolicznego podziału na strony pamięci, a operuje się wyłącznie linijkami.

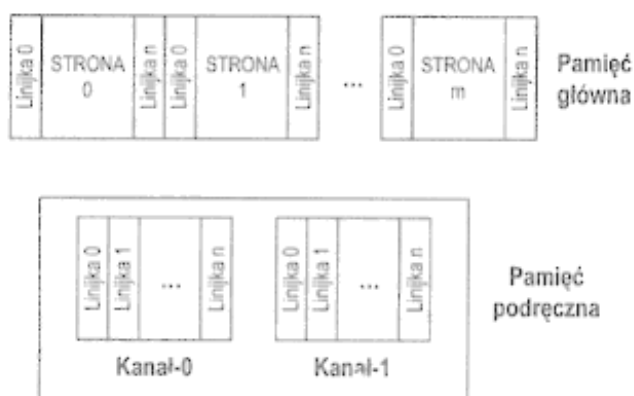


Rys. 3.10. Pełna asocjacja.

Ta optymalnie elastyczna organizacja ma jednak dużą wadę - odszukanie informacji w pamięci podręcznej wymaga przejrzenia całego katalogu TRAM, bowiem poszukiwana linijka może znajdować się na dowolnej pozycji. Konstrukcje tego typu mają uzasadnienie ekonomiczne dla bloków pamięci podręcznej nie przekraczających 4 kB.

Asocjacja zespołowa – Set Associative

Asocjacja zespołowa stanowi kombinację rozwiązań przedstawionych poprzednio. Cechą charakterystyczną tego typu architektury jest podział pamięci podręcznej na równe porcje, zwykle 2 lub 4, zwane kanałami (Ways) - rysunek 3.11.



Rys. 3.11. Asocjacja zespołowa.

Wymiar strony w pamięci RAM odpowiada rozmiarowi kanału w pamięci podręcznej. Każdy z kanałów administrowany jest zgodnie z regułami obowiązującymi dla organizacji

typu "mapowanie bezpośrednie". System kontroli trafień (Hit/Miss) ogranicza się do przeprowadzenia dwóch (2-Way-Set) lub maksymalnie czterech (4-Way-Set) porównań - linijka o określonym numerze może znajdować się tylko w jednej z dwóch (czterech) dopuszczalnych lokalizacji.

Strategie.

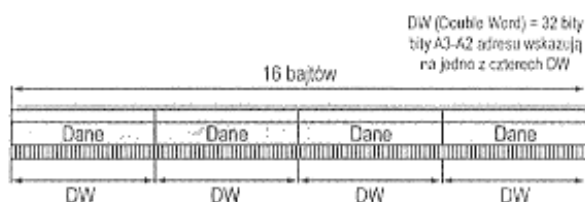
Reakcja pamięci podręcznej na żądanie udostępnienia danych zależy od implementacji oraz od faktu, czy poszukiwane dane są w niej istotnie zawarte. Obecność danych w pamięci podręcznej nazywa się trafieniem (Cache Hit) i nie wymaga sięgania do pamięci głównej. W sytuacji odwrotnej (Cache Miss) uruchamiana jest magistrala pamięciowa i do pamięci podręcznej sprowadza się nową linijkę. Cykle zapisu do pamięci mogą uwzględniać na swej drodze obecność pamięci podręcznej (*Write Back*) lub ją omijać (*Write Through*).

Write Through. Implementacja tego typu powoduje, iż zapis wyzwala zawsze cykl dostępu do pamięci głównej, niezależnie od tego, czy dana linijka obecna jest w pamięci podręcznej, czy nie. W razie trafienia (Cache Hit) odbywa się oczywiście również aktualizacja.

Write Back. Pamięć podręczna pracująca w tym trybie zbiera wszystkie cykle zapisu i aktualizuje swoją zawartość, ale nie zawartość pamięci głównej. Dzieje się to dopiero na konkretne żądanie wyrażone przez instrukcję programową (rozkaz WB1NVO: Write Back and Invalid Data Cache), sygnał sprzętowy na linii - FLUSH lub w wyniku braku trafienia w fazie odczytu. Zapis do pamięci ma miejsce wtedy, gdy wolna jest szyna systemowa (a procesor przetwarza kod zawarty na przykład w pamięci podręcznej poziomu pierwszego). Metoda taka gwarantuje oczywiście dużą wydajność, ale jednocześnie komplikuje układ.

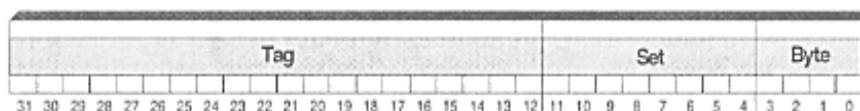
Pamięć podręczna procesora 80386.

Jako konkretny przykład omawianych zagadnień przedstawiona zostanie konstrukcja pamięci podręcznej procesora 80386. Model ten wyposażono w zintegrowany czterokanałowy kontroler cache (4-Way-Set), obsługujący blok 16 kB pamięci SRAM zorganizowanej w linijki 16-bajtowe (rysunek 3.12).



Rys. 3.12. Organizacja linijki pamięci podręcznej.

Generowany we wnętrzu procesora 32-bitowy adres lokalizacji w pamięci (rysunek 3.13) przejmowany jest przez kontroler pamięci podręcznej, który dokonuje jego rozkładu na trzy składniki:



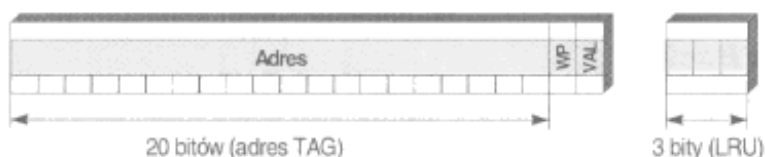
Rys. 3.13. 32-bitowy adres lokalizacji w pamięci.

- $A_{31} - A_{12}$: Tag
- $A_{11} - A_4$: Set
- $A_3 - A_0$: Byte

Na pełnowartościowy wpis do pamięci podręcznej składają się dwa ściśle ze sobą powiązane komponenty:

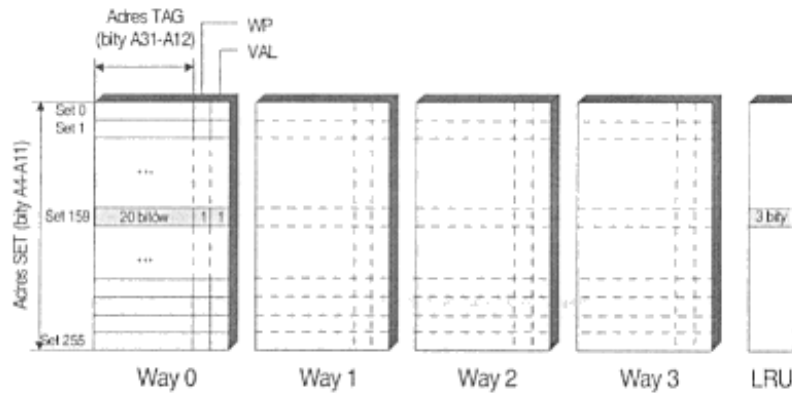
- rekord w pamięci podręcznej (16-bajtowa linijka),
- rekord w katalogu pamięci podręcznej.

Katalog jest strukturą informacyjną, za pomocą której kontroler zarządza danymi w pamięci podręcznej. Każda 16-bajtowa linijka stanowi elementarny obiekt opisany przez powiązany z nią rekord. Rekord zawiera w sobie 20-bitowy adres TAG oraz kilka dodatkowych pól bitowych służących do celów organizacyjnych.



Rys. 3.14. Rekord w katalogu pamięci podręcznej.

Sam katalog zlokalizowany jest (fizycznie) we wnętrzu kontrolera, który oddaje na ten cel fragment pamięci SRAM. Uwaga ta dotyczy oczywiście pamięci L1 (Level One Cache) zintegrowanej w strukturze CPU. Na pamięć podręczną poziomu drugiego L2 (Level Two Cache), która umieszczana jest na płycie głównej, składa się większa liczba układów scalonych, niż wynikałoby to z prostego rachunku "pamięć całkowita L2/pamięć pojedynczego układu". Obowiązek prowadzenia katalogu (TAG-RAM) pociąga za sobą oczywiście konieczność instalacji kilku ponadplanowych układów SDRAM. Katalog pamięci podręcznej procesora 80386 (rysunek 3.15) jest czterokanałowy (Way 0-Way 3). Każdy z kanałów stanowi tabelę o 256 wierszach i 22 kolumnach. Wiersze tabeli przechowują adres TAG odpowiadający danej 16-bajtowej linijce. Cztery tabele opisują w sumie 16 kB pamięci podręcznej (4 Waysx256 Setsx16 Byte). Dodatkowy bit WP (Write Protect) implementuje mechanizm blokady zapisu, a pole VAL (Valid) określa aktualność danych.

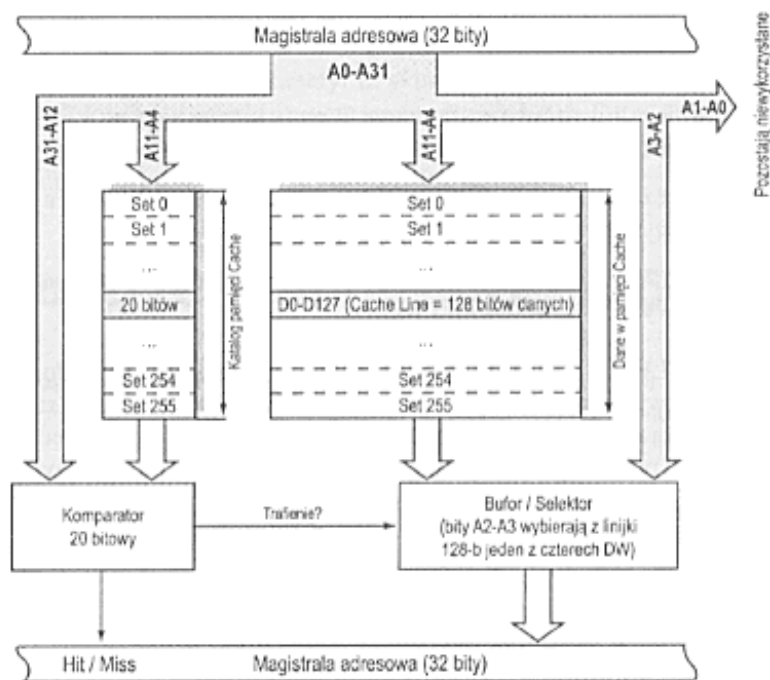


Rys. 3.15. Katalog pamięci podręcznej procesora 80386.

Pozycja wiersza w tabelach Way 0 - Way 3 wyznaczana jest przez bity A11-A4 słowa adresowego (Set-Address). Adres TAG stanowi centralny fragment mechanizmu umożliwiającego jednoznaczne określenie trafienia (Cache Hit). Mechanizm blokady zapisu (WP) uruchamiany jest na czas trwania operacji wypełniania linijki (Cache Line Fill), tak by procesor nie mógł zamazywać przedwcześnie jej zawartości.

Określenie trafienia.

Procesor sięga do żądanej lokalizacji w pamięci, wystawiając 32-bitowy adres na swoją szynę adresową. Adres ten przejmowany jest przez kontroler pamięci podręcznej i rozkładany na trzy omówione wcześniej elementy: TAG, SET i BYTE. Składnik TAG przekazywany jest natychmiast do komparatora adresowego TAG, natomiast 8-bitowa część A11-A4 skierowana zostaje do katalogu (Cache Directory), powodując uaktywnienie wszystkich czterech kanałów (Way 0 - Way 3).



Rys. 3.16. Określenie trafienia.

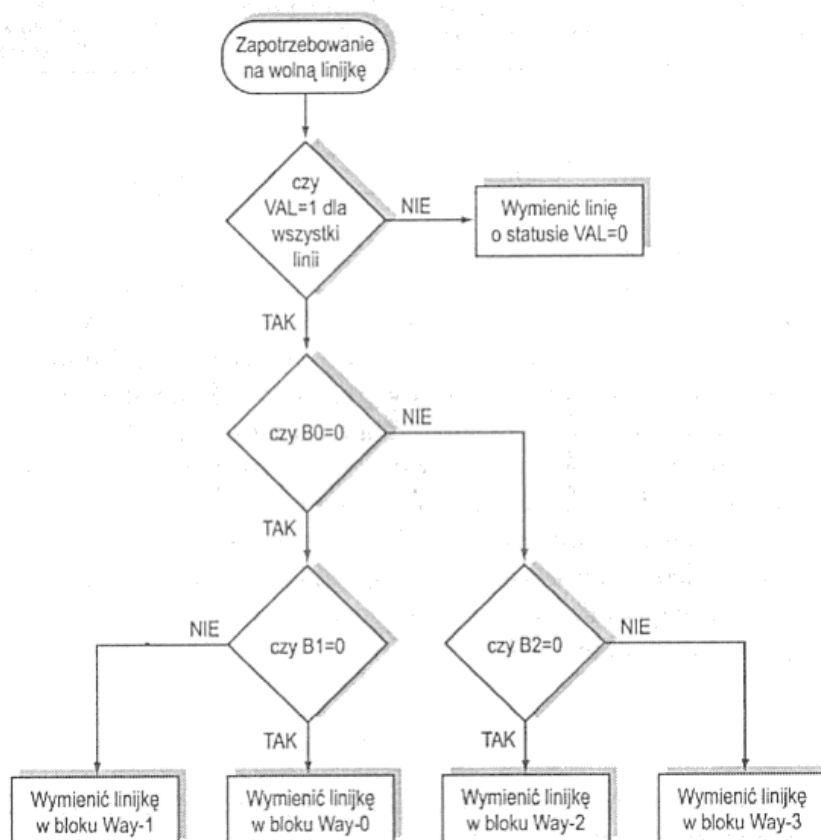
Odszukany w katalogu adres TAG przekazywany jest do komparatora i porównywany z fragmentem A31–A12 pobranym z szyny adresowej. Porównanie odbywa się dla każdego z czterech kanałów oddzielnie. Wycinek A11–A4 magistrali kieruje się równolegle do obwodów pamięci podręcznej przechowującej linijki z danymi. Proces przebiega przez wszystkie kanały równolegle, stosownie do aktualnej selekcji w katalogu. Pamięć wystawia za każdym razem jedną z zaadresowanych w ten sposób linijek. Informacja ta przejmowana jest tymczasowo przez bufor separujący obwody pamięci podręcznej od magistrali danych. Jeśli poszukiwana informacja znajduje się w jakimś kanale, dochodzi do zgodności adresów TAG. Na sygnał z komparatora 32-bitowy fragment zawartości buforu (jedna czwarta część 16-bajtowej linijki wyizolowana przez bity A2–A3) odkładany jest na magistralę, a cały układ generuje sygnał trafienia (Cache Hit). Bity A0–A1 nie podlegają ocenie.

Decyzja o wymianie linijki – LRU.

Stwierdzenie braku określonej linijki w pamięci podręcznej (Cache Miss) pociąga za sobą konieczność jej sprowadzenia z pamięci głównej. Kontroler pamięci podręcznej musi przygotować na ten cel jedno wolne miejsce, a jeżeli wszystkie są zajęte, określić, która z obecnych w pamięci podręcznej linijek może zostać usunięta. Algorytm wyboru bazuje na obserwacji zakresu wykorzystania zmagazynowanej dotychczas informacji. Skuteczność działania takiego aparatu zależy w dużej mierze od stopnia jego rozbudowania. Kontroler pamięci podręcznej procesora 80386 posługuje się trzema bitami LRU (*Last Recently Used*), które przechowywane są w połączeniu z rekordami katalogu TAG. Częstotliwość dostępu do informacji każdego z kanałów rejestrowana jest podczas ciągłej pracy układu:

- jeżeli ostatni dostęp do kanału Way 0 lub Way 1 okazał się trafieniem, ustawiany jest bit LRU-B₀;
- jeżeli wybrany został kanał Way 0, ustawia się bit LRU-B₁, a dla Way 1 bit ten ulega wyzerowaniu;
- jeżeli trafienie miało miejsce w kanale Way 2 lub Way 3, bit LRU-B₀ zostaje wyzerowany;
- trafienie w kanale Way 2 oznaczane jest ustawieniem, a trafienie w kanale Way 3 wyzerowaniem bitu LRU-B₂.

Bity LRU aktualizowane są w następstwie każdego cyklu dostępu. Reset (lub Start) powoduje wyzerowanie wszystkich bitów LRU. Gdy kontroler stwierdzi brak trafienia, linijka zawierająca żadaną informację sprowadzana jest do pamięci podręcznej w miejsce określone przez algorytm pracujący według schematu przedstawionego na rysunku 3.17.



Rys. 3.17. Algorytm sprowadzania linijki do pamięci podręcznej.

Jeśli brakuje wolnych pól w pamięci podręcznej, analizowane są bity LRU przynależne do danego adresu SET. Algorytm przesuwają się wzdłuż naszkicowanego powyżej drzewa logicznego i oznacza jedną z linijek jako przeznaczoną do usunięcia. W tak przygotowane miejsce sprowadzana jest z pamięci głównej żądana informacja (Cache Line Fill). Opisana tu metoda oparta na algorytmie LRU stosowana jest w większości omawianych w tej książce procesorów. Dzięki niej usuwana jest ta linijka, która spoczywała bezużytecznie przez najdłuższy czas. Inną drogą poszli twórcy procesora AMD K5, implementując prosty algorytm opierający się na losowym wyborze wolnego miejsca (Pseudo Random Replacement Policy). Badania statystyczne i symulacje wykazały, iż skuteczność działania takich metod nie odbiega znacznie od wyników uzyskiwanych przy pracy z LRU. Do niewątpliwych zalet układów tego typu należy zaliczyć szybkość działania i prostotę (eliminuje się bity LRU i cały mechanizm związany z zarządzaniem nimi).

4. Płyty główne.

4.1. Budowa płyty głównej.

Architektura współczesnej płyty głównej zawiera w sobie podsystem zasilania procesora i pamięci cache, blok pamięci RAM wraz z jej obsługą, interfejsy szyn ISA, PCI i złącza AGP, interfejsy peryferyjne, a także „drobiazgi”, jak sterownik klawiatury, zegar czasu rzeczywistego z kalendarzem i podtrzymywaną bateryjnie pamięć konfiguracji. Ponadto, w płytach o architekturze Socket 7 i nowszych, dochodzi jeszcze pamięć podręczna cache i układy nią zarządzające. Całość logiki płyty głównej zawarta jest w jednym lub częściowej w dwu układach scalonych, tworzących tzw. **chipset core logic**. Chipset ten determinuje działanie całej płyty, jej podstawowe zalety i wady. Nic dziwnego w tym, że często używa się określeń „płyta z takim a takim chipsetem” jako wystarczającej charakterystyki danej konstrukcji. Czy taka charakterystyka jest naprawdę wystarczająca? Przecież różni producenci mogą różnie wykorzystać ten sam zakres możliwości konstrukcyjnych. Poza tym, oprócz chipsetu, płyta główna to również BIOS, czyli „wokółsprzętowa” warstwa systemu operacyjnego, a także, umieszczony w tej samej pamięci ROM, tzw. Setup, czyli program konfiguracyjny, od którego zależy, czy i w jakim stopniu będziemy mogli wykorzystać możliwości, jakie stawia do dyspozycji sama konstrukcja płyty. Zatem płyta płycie nierówna, nawet z tym samym chipsetem. Różnice między płytami tworzy również ich konstrukcja mechaniczna - zarówno sam standard konstrukcyjny (AT, ATX, micro ATX, NLX czy ITX), jak i konkretna realizacja, tj. na przykład liczba gniazd poszczególnych szyn i wzajemna ich relacja (tzn. możliwość równoczesnego korzystania z ISA i PCI), a także wynikające z rozmieszczenia elementów na płycie ograniczenia wymiarów kart, jakie można włożyć w poszczególne gniazda. To także mniejszy lub większy stopień poprawności implementacji najrozmaitszych funkcji dodatkowych, od których co prawda nie zależy bezpośrednio zdolność naszego PC do wykonywania różnych programów, natomiast zależy od niego nasza wygoda. Przyjrzyjmy się dokładniej zadaniom, jakie mają do spełnienia poszczególne podsystemy płyty głównej. Zasilanie elementów i podzespołów to rzecz niby prosta i oczywista - ale od czasu powstania pierwszego PC warunki zasilania elementów znacznie się zmieniły: napięcie 5 V, dostarczane przez standardowy zasilacz, jest coraz mniej użyteczne, ponieważ nowsze technologie wymagają zdecydowanie niższego napięcia zasilania. Tutaj dobrym przykładem może być procesor - jeszcze w czasach 486 zrezygnowano z początkowego napięcia zasilającego 5 V, redukując je do wartości 3,3 V. Ale nie koniec na tym, w miarę wzrostu częstotliwości zegara procesora, nawet 3,3 V okazało się zbyt wiele - obecnie większość procesorów zasilanych jest dwoma napięciami: 3,3 V zasila „zewnętrzną warstwę” procesora, czyli te jego układy, które bezpośrednio komunikują się z otoczeniem, natomiast jądro układu, realizujące jego funkcje przetwarzania danych, zasilane jest niższym napięciem, w zakresie 2-3 V. Również pamięć cache L2 w

najnowszych technologiach wymaga niższego od 5 V napięcia zasilania, podobnie coraz częściej realizowane są moduły pamięci. Płyta główna musi zatem mieć wydajny zasilacz przetwarzający dostarczane do niej napięcie 5 V na całą gamę napięć, służących do zasilania poszczególnych bloków funkcjonalnych. Oprócz tak prozaicznej funkcji, jak zasilanie, płyta główna to całość systemu szyn i synchronizacja wymiany danych pomiędzy nimi. Rolę elementów synchronizujących pełnią mostki międzyszynowe, a ich konstrukcja w dużym stopniu determinuje sprawność działania płyty, zwłaszcza w przypadku niestandardowych częstotliwości zegara FSB. Na czym polega problem synchronizacji? W standardowej konstrukcji płyty przystosowanej do pracy z zegarem FSB 66 MHz szyna PCI jest taktowana zegarem 33 MHz, przewidzianym jako standardowy. Ale także stosuje się wyższe częstotliwości zegara FSB, niekoniecznie stanowiące wielokrotność 33 MHz. Może to pociągać za sobą pewne problemy - jeśli zegary szyn są bezpośrednio przeliczane z zegara FSB, ustawienie np. 75 MHz może spowodować, zależnie od konstrukcji mostków, obniżenie częstotliwości zegara PCI do 25 MHz lub jego podwyższenie do 37,5 MHz. W pierwszym przypadku nastąpi obniżenie wydajności, w drugim - mogą się pojawić problemy we współpracy z kartami. Z podobnymi problemami można się spotkać w przypadku zegara FSB 83,3 MHz. Lekarstwem na takie problemy są mostki pseudosynchroniczne, które dzięki odpowiednio rozwiązanemu buforowaniu danych, umożliwiają ich przesyłanie pomiędzy szynami o częściowo asynchronicznych zegarach. Oprócz szyn i złączy systemowych, jak ISA, PCI czy AGP, płyta główna zawiera również zestaw interfejsów peryferyjnych. Część z nich to interfejsy wewnętrzne - jak interfejs dyskowy ATA (EIDE) czy sterownik napędów dyskietek - część zaś służy do komunikacji z urządzeniami zewnętrznymi. Zestaw interfejsów zewnętrznych współczesnej płyty głównej zawiera standardowo dwa porty szeregowy i port równoległy, dwa porty USB, a także sterownik klawiatury i interfejs myszy PS/2. W ostatnim czasie na płytach pojawił się jeszcze jeden interfejs - FireWire, czyli bardzo szybki port szeregowy. Ważnym elementem systemu, zawartym na płycie, jest **BIOS**. Basic Input-Output System odgrywa co prawda coraz mniejszą rolę jako związana ze sprzętem warstwa systemu operacyjnego, natomiast coraz istotniejszego znaczenia nabierają zawarte w tej samej pamięci Flash ROM programy pomocnicze. Najbardziej znanym spośród nich jest **Setup** - narzędzie pozwalające na daleko idącą ingerencję w konfigurację komputera. Dobrze skonstruowany Setup pozwala na wykorzystanie wszystkich możliwości, zawartych w konstrukcji płyty. Ale jest również druga strona medalu - bogate opcje konfiguracyjne Setupu stwarzają dużo możliwości unieruchomienia komputera przez ustawienie takich parametrów pracy, których dana konfiguracja sprzętowa nie jest w stanie zaakceptować. Dlatego wielu producentów znacznie ogranicza zakres opcji konfiguracyjnych dostępnych z poziomu Setupu. Często spotykanym dodatkowym wyposażeniem płyt głównych wyższej klasy jest wbudowany na

stałe sterownik SCSI, natomiast niektóre płyty klasy popularnej wyposażane są we wspomaganie pracy tanich i niezbyt złożonych kart sterowników SCSI (zwykle opartych na procesorze NCR). Te tanie rozwiązania okazują się przeważnie całkowicie wystarczające. Jeśli zatem przewidujemy zastosowanie w naszym komputerze sterownika SCSI, warto upewnić się, że płyta jest wyposażona w odpowiednie rozszerzenie BIOS-u.

Parametry charakterystyczne płyt głównych to zarówno określenie gamy procesorów, dla których dana płyta jest przeznaczona, jak i bardziej szczegółowe dane, które można przedstawić w dwu grupach: te, które wynikają z zastosowanego chipsetu i te, które stanowią wybór producenta płyty, podyktowany takimi czy innymi czynnikami. Pierwszą, wynikającą z zastosowanego chipsetu core logic grupę parametrów stanowią:

- wielkość obsługiwanej pamięci RAM i dostępne tryby jej obsługi (FPM DRAM, EDO, SDRAM, RDRAM),
- obszar pamięci RAM obsługiwany za pośrednictwem cache L2 (dotyczy socket7),
- pojemność i parametry (czas dostępu i tryb obsługi) pamięci cache L2 (dotyczy socket7),
- dostępny zakres częstotliwości zegara FSB i sposoby współpracy szyny FSB z szynami peryferyjnymi.

Druga grupa parametrów, stanowiąca wybór producenta, to:

- liczba gniazd ISA i PCI,
- BIOS (producent, wersja) i Setup, czyli program konfiguracyjny,
- zakres napięć zasilających jądro procesora - ta informacja staje się szczególnie istotna w przypadku konieczności zmiany procesora.

Niby niewiele, a jednak sporo. A jeszcze należy wspomnieć o takich, mało z pozoru istotnych, ale ważnych w wielu przypadkach detalach, jak: dodatkowe oprogramowanie, pozwalające na wykorzystanie oferowanych przez daną płytę główną funkcji usprawniających lub przyspieszających działanie komputera, nie obsługiwanych standardowo przez system operacyjny (sterowniki Ultra ATA, virus warnings, czyli wbudowane w płytę środki ostrzegania o pozasystemowych zapisach na dysku) i temu podobnych. Co prawda, jeśli chodzi o oprogramowanie, producent systemów operacyjnych dla PC robi, co może dla uproszczenia (sobie) sprawy, definiując zawczasu specyfikacje sprzętowe, dla których przewidziane są przyszłe wersje systemu; pomimo tego różnych atrakcyjnych dodatkowych możliwości jest wiele.

Oszczędność energii to nie tylko wymysł ochrony środowiska - to przede wszystkim mniej wydzielanego wewnątrz obudowy ciepła, lepsze warunki pracy podzespołów, zapewniające większą niezawodność, a wreszcie - mniej hałasu robionego przez rozliczne wentylatorki. Pobór energii przez PC to w dużym stopniu moc pobierana przez płytę główną wraz ze znajdującym się na niej procesorem i pamięcią. Jak można oszczędzać na zasilaniu najważniejszych elementów? Nowoczesne systemy oszczędzania energii,

wbudowane w płytę główną, to przede wszystkim ACPI (ang. Application Controlled Power Interface), system, w którym poszczególne aplikacje sterują parametrami komputera tak, by zminimalizować pobór energii. Niestety, wiele aplikacji nie korzysta z tego interfejsu, dlatego w płyty wbudowywane są również mechanizmy czasowe, pozwalające na samodzielne przełączenie komputera w stany oczekiwania lub uśpienia w sytuacjach braku aktywności użytkownika. Mechanizmy takie wymagają również pewnych dodatkowych środków dla „budzenia komputera”, aby było możliwe przywracanie jego aktywności nie tylko przez bezpośrednie działanie użytkownika, np. naciśnięcie klawisza czy ruch myszy, ale także np. przez wywołanie z sieci LAN lub modemu. Umożliwiają to dodatkowe złącza „wake on LAN” i funkcje „wake on modem”. Nowoczesna płyta główna zawiera również system monitorowania swojego środowiska pracy: napięć zasilających, temperatury procesora itp. Oprócz sygnalizacji ewentualnych nieprawidłowości, system taki powinien sterować wydajnością wentylatorów, chłodzących poszczególne elementy zestawu - płyta musi zatem mieć odpowiednie gniazda do ich przyłączenia.

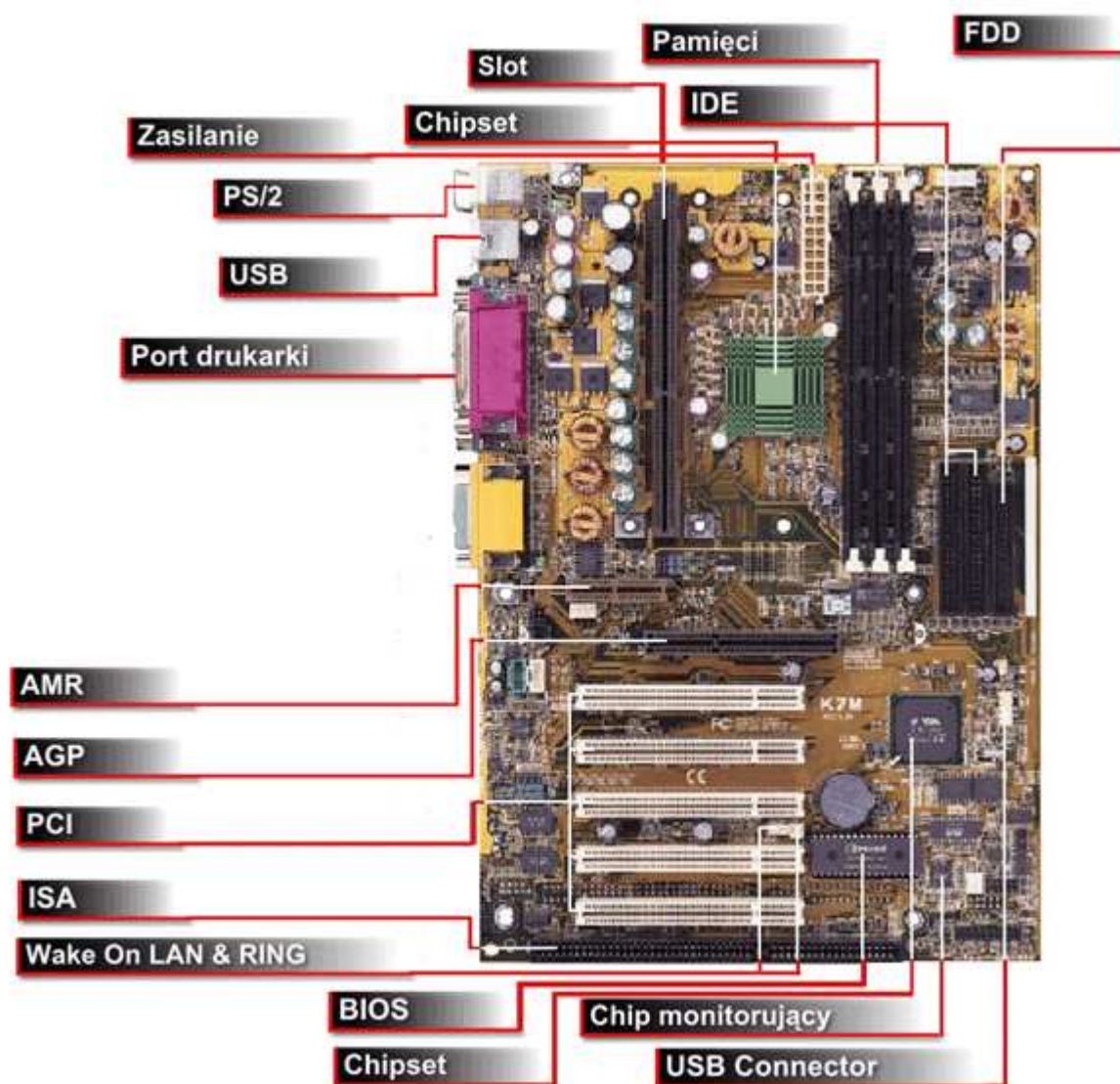
Gniazda. Pora na złącza urządzeń zewnętrznych - zacznijmy od interfejsu **Enhanced IDE**. Na współczesnych płytach głównych obecne są dwa 40-stykowe złącza, po jednym dla każdego z kanałów EIDE obsługiwanych przez chipset; do każdego z nich można podłączyć dwa urządzenia - twarde dyski lub zgodne ze specyfikacją ATAPI czytniki CD-ROM lub streamery. Kanał pierwszy, oznaczony jako *Primary IDE*, przeznaczony jest dla głównego, startowego dysku systemu. Współczesne sterowniki EIDE potrafią komunikować się z nowoczesnymi dyskami twardymi w zaawansowanych trybach umożliwiających (przynajmniej teoretycznie) wielką szybkość transmisji danych. Właściwie każdy sterownik EIDE zintegrowany w chipsecie potrafi przesyłać dane z szybkością powyżej 10 MB/s. Aby to jednak działało zgodnie z naszymi oczekiwaniami, takie same parametry musi zapewniać twarde dyski, tymczasem z reguły napędy umożliwiają CIĄGŁY transfer danych z szybkością rzędu 2-3 MB/s, większą przepustowość dając jedynie w szczycie - gdy dane znajdują się w wewnętrznym buforze dysku. Warto zadbać o to, by urządzenia szybkie i wolniejsze nie były podłączone do tego samego kanału IDE - szybkość transmisji dostosowywana jest do wolniejszego urządzenia. Gdy mamy jeden twarde dysk i czytnik CD-ROM, każde z tych urządzeń powinno być podłączone do innego kanału IDE.

Port równoległy to rozwinięcie starego jak świat interfejsu **Centronics**. Interfejsy instalowane na płytach głównych mogą pracować zarówno jako jednokierunkowe (w trybie zgodności), jak i dwukierunkowe, w trybach **ECP** (ang. Enhanced Capabilities Port) i **EPP** (ang. Enhanced Parallel Port). Dwukierunkowa komunikacja umożliwia po pierwsze realizację postulatu Plug-And-Play przy współpracy z odpowiednimi urządzeniami (np. drukarkami), po drugie dołączanie poprzez ten port również innego sprzętu, np. skanerów czy zewnętrznych napędów dysków (np. Iomega ZIP). Nowoczesny port

równoległy pozwala ponadto łączyć kilka urządzeń w łańcuch i dopuszcza transmisję z szybkością do 2 MB/s. Dwa zgodne z **RS-232C** porty szeregowo obsługiwane są przez interfejsy zgodne z układem 16550, charakteryzującym się obecnością kilkubajtowego bufora FIFO (ang. First In, First Out) czyli kolejki. Bufor ten w istotny sposób poprawia płynność przesyłania informacji, co pozwala uzyskiwać znaczne realne szybkości transmisji - warunek konieczny przy pracy z zewnętrznymi modemami o szybkości od 14400 bps w górę. W większości konstrukcji jeden z portów szeregowych można ponadto zatrudnić do obsługi podczerwonego interfejsu **IrDA**, którego nadajnik/odbiornik podłącza się do specjalnego gniazdka. Złącze myszy **PS/2** - zwykle wymagające dodatkowego, zamontowanego na „śledziu” gniazdka podłączanego do płyty kabelkiem - może się okazać nieocenione w sytuacji, gdy używamy zewnętrznego modemu, zaś drugi port szeregowy wykorzystywany jest dla interfejsu IrDA. **USB** ma wszelkie szanse dokonać podobnego przewrotu w dziedzinie dołączania wszelkiej maści urządzeń zewnętrznych, od klawiatury i myszy, przez drukarki i modemy, po skanery, głośniki, sprzęt telefoniczny i urządzenia do wideokonferencji. Universal Serial Bus jest magistralą szeregową o przepustowości do 12 megabitów na sekundę. Urządzenia USB łączy się w łańcuch - np. klawiaturę do komputera, mysz do klawiatury - i, co ważne, można tego dokonywać w trakcie pracy systemu. Dzięki „wbudowanej w standard” technologii Plug-And-Play system będzie odpowiednio reagował na fakt dołączenia lub odłączenia urządzeń bez konieczności restartu. W jednym łańcuchu może pracować do 127 urządzeń USB; komputer będzie standardowo wyposażony w dwa takie kanały. Dodatkowym ułatwieniem jest zaopatrzenie magistrali w linię zasilającą o napięciu +5 V, co w większości przypadków eliminuje konieczność stosowania dodatkowego zasilacza do każdego z urządzeń. Oprócz wymienionych interfejsów (i styków umożliwiających podłączenie przycisku Reset, lampek kontrolnych, głośniczka itd.) na płycie głównej mogą znajdować się także inne złącza, np. złącze zasilania wentylatora chłodzącego procesor, złącza zintegrowanego sterownika graficznego czy dźwiękowego lub „wynałazki” typu MediaBus - obecne na płytach firmy Asus przedłużenie slotu PCI przeznaczone dla kart multimedialnych tej firmy, będące w istocie czymś w rodzaju dodatkowego slotu ISA.

Następna rzecz związana nierozdzielnie z płytą to **BIOS** (ang. Basic Input Output System), zestaw podstawowych procedur zarządzających pracą podzespołów płyty i pośredniczących pomiędzy sprzętem a właściwym systemem operacyjnym. Procedury startowe BIOS-u są pierwszym programem, który wykonuje procesor po włączeniu komputera. Wówczas to następuje ustawienie programowalnych parametrów pracy chipsetu i innych elementów sprzętu, wtedy też wykonywany jest ich podstawowy test (tzw. POST - ang. Power On Self Test). To właśnie BIOS decyduje o tym, jak wykorzystany będzie potencjał drzemiący w sprzęcie. Z tych powodów dwie różne płyty

wykorzystujące te same elementy (np. chipset, kość I/O) mogą znacznie różnić się wydajnością, czy też pracować lub nie z różnymi procesorami. Choć podstawowe funkcje BIOS są określone specyfikacją standardu PC, różne BIOS-y mogą się nawet znacznie różnić (i różnią się) możliwościami czy wygodą używania wbudowanego programu konfiguracyjnego (BIOS Setup). Ze względu na wymagania narzucone przez rynek, wszystkie współczesne BIOS-y wyposażone są w funkcje Plug-And-Play, zapewniające automatyczne konfigurowanie sprzętu - kart rozszerzenia (pod warunkiem oczywiście, że i te karty są zgodne z PnP) czy dopasowanie się do parametrów twardego dysku. BIOS-y dzisiejszych płyt głównych mają jeszcze jedną kapitalną cechę: są zapisane w reprogramowalnej pamięci stałej typu Flash, co umożliwia ich łatwą aktualizację przez proste załadowanie nowej zawartości z dyskietki (potrzebny jest do tego odpowiedni program). Nowe wersje BIOS dla konkretnych płyt można po prostu ściągnąć za pośrednictwem Internetu z serwerów producentów płyt.



Rys. 4.1. Elementy płyty głównej.

4.2. Rodzaje płyt głównych – podstawki procesora.

Płyty główne można rozróżnić ze względu na obsługiwany rodzaj procesora. Pierwszym podziałem jest kompatybilność do dwóch wiodących producentów: AMD (ang. Analog Micro Devices) oraz Intel. Ze względu na wymogi architektury danego modelu procesora wiele z nich posiada unikalny sposób montażu w płycie głównej – poprzez odpowiedniego formatu podstawkę, z angielskiego nazywaną *socket*. W praktyce możemy spotkać się z następującymi formatami podstawek montowanymi na płytach głównych.

Płyty główne oparte na **Socket 7** przystosowane są do pracy ze starszymi modelami procesorów firmy *Intel* (Pentium, Pentium MMX), *AMD* (K5, K6) i *Cyrix* (M1). Pracowały one pod nadzorem takich chipsetów jak: *Intel* (FX, VX, HX, TX), *Ali* (Alladyn 5 i 7) oraz *VIA* (MVP3 i MVP4).



Rys. 4.2. Gniazdo Socket-7.

Gniazdo to zawiera 296 styków i operuje napięciami rzędu 2.5 – 3.3 V. Obsługiwana szyna FSB to 66 MHz. Wąskim gardłem dla tych płyt była niska częstotliwość pracy pamięci podręcznej – max. pojemność pamięci cache wynosiła 512 kB. Płyty te nie były wyposażane w złącza AGP. Płytę główną należy ręcznie skonfigurować, tj. ustawić odpowiednie napięcia zasilania dla procesora, częstotliwość pracy i odpowiedni mnożnik. W późniejszym okresie wprowadzone zostały niestandardowe częstotliwości pracy, tj. 75 i 83 MHz. Poniższa tabelka przedstawia porównanie kilku najbardziej popularnych chipsetów wykorzystujących to złącze:

	MAX RAM	Cacheable RAM	RAM Types	L2 Cache	Bus Speeds	DMA 33	# of CPU
ALi Aladdin IV+	1GB	512MB	EDO,SD	1MB	66MHz, 75MHz, 83MHz	Yes	1
Intel 430FX	128MB	64MB	EDO	512k	50MHz, 66MHz	No	1
Intel 430HX	512MB	512MB	EDO	512k	50MHz, 66MHz	No	2

Intel 430VX	128MB	64MB	EDO,SD	512k	66MHz, 75MHz, 83MHz	No	1
Intel 430TX	256MB	64MB	EDO,SD	512k	66MHz, 75MHz, 83MHz	Yes	1
SiS 5571	512MB	512MB	EDO,SD	512k	66MHz, 75MHz, 83MHz	No	1
SiS 5581	512MB	512MB	EDO,SD	512k	66MHz, 75MHz, 83MHz	Yes	1

Tabela 4.1. Porównanie najpopularniejszych chipsetów dla Socket 7.

Pewną modernizacją złącza Socket-7 jest złącze **Super Socket 7**. Złącze zostało wprowadzone w 1997 roku dla nowych procesorów AMD K6-2, K6-3, K6-2+ i było odpowiedzią na Intelowskie złącze Slot-1 (omówione dalej). Również inne procesory – inne niż AMD – są kompatybilne z tym złączem – np. Cyrix M2 i 6x86, IDT WinChip. Złącze jest kompatybilne wstecz z Socket-7, również zawiera 296 styków, jednak wnosi kilka nowych rozwiązań. Różnica polega między innymi na obsługiwanych częstotliwościach – tutaj wynosi ona 100 MHz, możliwości stosowania magistrali AGP oraz USB. Zwiększono wielkość pamięci cache – można zainstalować jej do 2 MB, jednak pozostawiono rozwiązanie polegające na dzieleniu magistrali FSB, zatem wydajność nadal nie była największa. Standardem stał się interfejs Ultra-DMA. Ze względu na to, iż Intel nie partycypował w tym projekcie, nigdy nie powstała płyta z chipsetem tejże firmy. Poniższa tabelka przedstawia najpopularniejsze rozwiązania i ich porównanie.

	RAM	Cacheable	RAM Types	Cache	Bus Speeds	AGP
ALi Aladdin V	1GB	1GB	EDO,SD	1MB	66MHz, 75MHz, 83MHz, 100MHz	2X
SiS 5591/95	768MB	768MB	EDO,SD	1MB	66MHz, 75MHz, 83MHz, 100MHz	2X
Via Apollo VP2/97	512MB	512MB	EDO,SD	2MB	66MHz, 75MHz, 83MHz	No
Via Apollo VP3	1GB	1GB	EDO,SD	2MB	66MHz, 75MHz, 83MHz	2X
Via Apollo MVP3	1GB	1GB	EDO,SD	2MB	66MHz, 75MHz, 83MHz, 100MHz	2X
Via Apollo MVP4	1GB	1GB	EDO,SD	2MB	66MHz, 75MHz, 83MHz, 95MHz, 100MHz	2X

Tabela 4.2. Porównanie najpopularniejszych chipsetów dla Super Socket 7.

Socket-8 jest złączem wprowadzonym przez firmę Intel dla potrzeb konstrukcyjnych swoich procesorów Pentium 3 Overdrive i Pentium Pro. Złącze posiada 387 styków i było używane tylko na płytach głównych przeznaczonych na rynek tzw. high-end⁵. Rozwiązanie to pozwalało na korzystanie z zalet konstrukcji wieloprocessorowych. Pamięć

⁵ Innymi słowy zastosowania serwerowe i duże centra informatyczne.

podręczna cache została zaimplementowana przy wykorzystaniu technologii *backside bus*, co pozwoliło na transfer danych z pełną szybkością procesora. Nigdy nie została ona zintegrowana w strukturę procesora, jednak umieszczona w pobliżu procesora co umożliwiała tak szybką transmisję, jednak pozostawiono ograniczenie co do jej wielkości tylko do 1 MB. Intel, jako jedyny producent procesorów dla tego złącza, sam musiał opracować sobie chipsem, który nigdy nie wspierał nowych technologii, takich jak AGP czy UDMA, a był używany tylko z bardzo drogimi układami Pentium Pro/Overdrive. Wszystkie z wymienionych modeli procesorów pracowały z magistralą 66 MHz. Poniższa tabela porównuje krótko możliwości chipsetów:

	RAM	RAM Types	# CPU
Intel 440FX	1GB	EDO	2
Intel 450GX	1GB	EDO	2
Intel 450KX	4GB	EDO	4
Via VT82C680 Apollo 6	1GB	EDO, SD	4

Tabela 4.3. Porównanie najpopularniejszych chipsetów dla Socket-8.

Slot-1 jest złączem wprowadzonym przez firmę Intel w roku 1997 – jako następca złącza Socket-7 – wraz z pojawieniem się procesora Pentium II. Przeznaczone jest dla serii Pentium II i Celeron oraz Pentium III. Interfejs Slot-1 był wspierany tylko przez chipsety firmy Intel, ponieważ nigdy nie odsprzedała praw do jego produkcji innym firmom. To właśnie było powodem, dla którego inne firmy z AMD na czele, stworzyły omówione wcześniej złącze Super Socket 7. Złącze posiada 242 styki umiejscowione w formie krawędzi. Procesor został zatem zbudowany w formie kartridża wsuwanego w złącze. Mimo tego, iż rozwiązanie to nieco podnosiło koszty produkcji, to można było umiejscowić pamięć podręczną drugiego poziomu razem z procesorem, ograniczoną jednak do 512 kB. Dzięki temu mogła ona pracować na magistrali dedykowanej dla procesora, a była zastosowana topologia *backside bus*, podobnie do rozwiązania Socket 8. Niestety w odróżnieniu od Pentium Pro, pamięć podręczna nie mogła pracować z pełną szybkością procesora. W momencie modernizacji procesów technologicznych i umieszczania pamięci cache L2 w strukturze procesora, zaczęto pomału odchodzić od rozwiązania Slot-1. Rozwiązanie Slot-1 umożliwiało współpracę dwóch procesorów, a listę najpopularniejszych chipsetów przedstawia poniższa tabela.

Chipset	Chipset Type	FSB	Memory Banks	Max RAM	RAM Types	AGP	ATA	Graphics	# of CPU
440BX	PCI	100	4 DIMM	1GB	PC100	2X	33	no	2
440LX	PCI	100	4 DIMM	512MB	PC66	2X	33	no	2
440ZX	PCI	66	2 DIMM	256MB	PC100	2X	33	no	1
810	Hub	100	2 DIMM	512MB	EDO,PC100	2X	66	yes	1
815	Hub	133	3 DIMM	512MB	PC100,PC133	4X	66	yes	1
815e	Hub	133	3 DIMM	512MB	PC100,PC133	4X	100	yes	1

820	Hub	133	2 RIMM	1 GB	PC600-PC800	4X	66	no	2
820e	Hub	133	2 RIMM	1 GB	PC600-PC800	4X	100	no	2
840	Hub	133	2 RIMM	4 GB	PC600,PC800	4X	66	no	2
VIA Apollo Pro 133	PCI	133	4 DIMM	1.5 GB	PC133	2X	66	no	1
VIA Apollo Pro 133A	PCI	133	4 DIMM	1 GB	PC133	4X	66	no	2
VIA Apollo Pro 2000	PCI	133	4 DIMM	1GB	PC2100	4X	100	no	2

Tabela 4.4. Porównanie najpopularniejszych chipsetów dla Slot-1.

Pewną odmianą złącza jest **Slot-2**, jednak spotykana tylko w przypadku procesorów Xeon, ewentualnie odmiany Pentium II/III⁶. Różnica polega na tym, że w przypadku Slot-1 używanych było 242 zestyków, tak tutaj używanych jest ich aż 330. Największą jednak różnicą jest sposób komunikacji procesora z pamięcią podręczną drugiego poziomu – w przypadku wersji Slot-2 procesor komunikuje się z pełną szybkością zegara FSB, co jest aż o 100% więcej niż w przypadku Slot-1. Powiększono również rozmiar maksymalnej pamięci podręcznej do 2 MB. Złącze było wykorzystywane jedynie w komputerach tzw. high-end i było bardzo drogim rozwiązaniem. Poniższa tabelka przedstawia dwa chipsety dedykowane dla tego złącza.

	RAM	Bus Speed	AGP	# of CPU
Intel 440GX	2GB	100MHz	2X	2
Intel 450NX	8GB	100MHz	no	4

Tabela 4.5. Porównanie najpopularniejszych chipsetów dla Slot-2.

Socket-370 jest złączem umożliwiającym montaż każdego modelu procesora⁷ z serii Intel Celeron, Celeron II i Pentium III a także VIA Cyrix III. Wprowadzone zostało w kwietniu 1999 w celu zmniejszenia kosztów związanych z wytwarzaniem procesorów w obudowach SECC⁸. Stało się tak między innymi dlatego, że technologia zaczęła umożliwiać umieszczanie pamięci podręcznej na samej płycie głównej, a co za tym idzie duża część powierzchni płytki procesora pozostawała niewykorzystana. W praktyce możemy spotkać się z dwiema wersjami złącza: wersją PPGA – jest to wersja wcześniejsza, oraz wersją FCPGA⁹ – jest to wersja późniejsza umożliwiająca stosowanie procesorów zarówno PPGA jak i FCPGA. Zewnętrzny wygląd obu złączy jest identyczny, a różnica polega na wykonaniu procesora, a dokładniej na zamienieniu funkcji niektórych połączeń, co powoduje, że w starszych płytach procesory FCPGA nie będą funkcjonować. Socket-370 jest wstecznie kompatybilny ze Slot-1 i procesory – jako że nowsze i szybsze

⁶ Odmiany Pentium II Xeon i Pentium III Xeon

⁷ Każdego modelu wytworzonego w wersji Socket-370.

⁸ SECC – ang. Single Edge Contact Cartridge – czyli procesory na złączu Slot-1 i Slot-2.

⁹ FCPGA – ang. Flip Chip Pin Grid Array.

– można zastosować w tamtych płytach głównych¹⁰. Zarówno jedno jak i drugie złącze korzysta z tych samych chipsetów.

Slot-A został wprowadzony w lipcu 1999 roku przez firmę AMD jako złącze dla swoich procesorów. Potrzeba własnego łącza wynikała z tego, że Intel nie zdecydował się na udostępnienie licencji na własne produkty, a było to w momencie kiedy możliwości Super Socket 7 były już niewystarczające. Złącze posiada 242 piny ułożone w obudowie typu SECC. Wyglądem jest identyczne do Intelowskiego Slot-1, jednak elektrycznie są to zupełnie różne złącza i nie można zamiennie stosować procesorów Intela i AMD. Do swojego projektu AMD wykupił od firmy DEC¹¹ zaprojektowaną przez nią magistralę EV-6, która możliwościami przewyższała stosowaną przez Intela dzieloną szynę FSB. Zabieg ten umożliwił zastosowanie w praktyce magistrali 100 MHz DDR¹², co w efekcie powodowało transfer 200 MHz, co było dwa razy szybciej niż najnowsze dzieła Intela. Slot-A nigdy nie doczekał się rozwiązań wieloprocesorowych, ponieważ chipset nie zdążył do tego dojrzeć, kiedy został zastąpiony złączem Socket-A. W praktyce tylko dwa chipsety obsługiwały to złącze, a były to:

Chipset	Memory Types	Maximum Memory	AGP	Chipset-FSB Timing
AMD 750	100MHz	768MB	2X	Synchronous
VIA KX133	100-133MHz	2GB	4X	Asynchronous

Tabela 4.6. Chipsety obsługujące Slot-A.

Oba chipsety pracowały na magistrali FSB 100 MHz DDR, ATA66 i przy wsparciu pamięci SDRAM.

AMD dość szybko zastąpiło Slot-A nowym pomysłem, o nazwie **Socket-A**. Jak nazwa wskazuje był to powrót do procesorów w obudowach PGA. Krok ten skutkowało redukcją kosztów produkcji, jak również powodowało, że procesor znajdował się bliżej pamięci cache i możliwe było przyspieszenie transmisji danych między nimi. Złącze używa 462 pinowej podstawki i korzysta z tej samej magistrali EV-6 co jej poprzednik Slot-A. Złącze jest używane tylko dla procesorów drugiej generacji Athlon Thunderbird i Duron, ze względu na umiejscowienie pamięci cache L2. W stosunku do Slot-A rozszerzeniu uległa jedynie obsługiwana szybkość napędów dyskowych – ATA100. Ponieważ jest to złącze używane powszechnie dzisiaj w przypadku procesorów firmy AMD – również tych najnowszych – powstaje coraz to więcej chipsetów. Do najpopularniejszych zaliczyć można:

¹⁰ Złącze jest wstecz kompatybilne pod względem elektrycznym, natomiast żeby móc korzystać z procesorów PPGA lub FCPGA w płytach ze Slot-1 należy zaopatrzyć się w przejściówkę.

¹¹ ang. Digital Equipment Corporation

¹² ang. Double Data Rate

Chipset	Memory	FSB	# of CPUs
VIA KT133	SDR	100 MHz DDR	1
AMD 760	DDR	133 MHz DDR	1
AMD 760 MP	DDR	133 MHz DDR	1 – 2
VIA KT266	SDR/DDR		
VIA KT333			
VIA KT400			
SIS 735			
SIS 745			

Tabela 4.7. Najpopularniejsze cypsety obsługujące Socket-A.

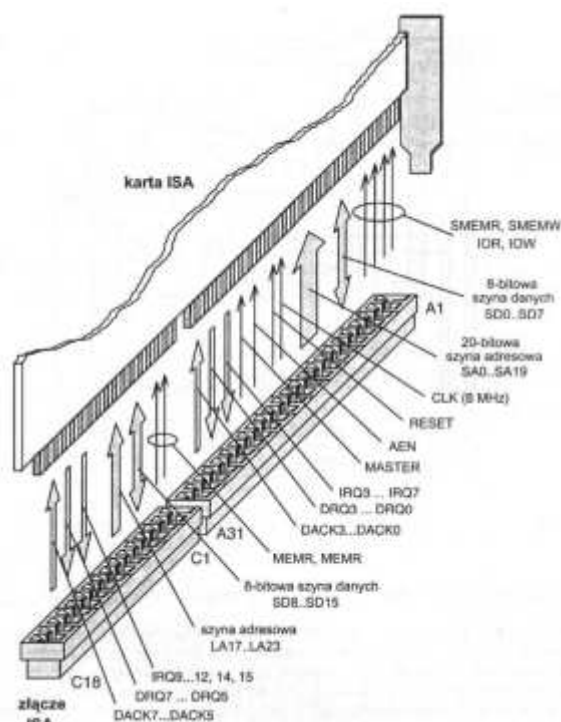
Pierwszym gniazdem dla procesorów Pentium 4 było Socket-423 obsługujące jednostki do 2 GHz. W niedługim czasie Intel wycofał się z tego pomysłu i zastąpił je Socket-478, stosowanym do dzisiaj. Obsługuje ono procesory pracujące z szybkościami 3.06 GHz, oraz najnowsze Celerony – od 1.8 GHz.

4.3. Gniazda rozszerzeń.

Modułowa konstrukcja komputerów PC umożliwia ich rozbudowę, w zależności od potrzeb użytkownika. Urządzenia peryferyjne, których podstawowe sterowniki nie są wbudowane w płytę główną, wymagają oddzielnych kart, instalowanych w gniazdach rozszerzeń na płycie głównej. Komputery PC wyposażone są zwykle w gniazda rozszerzeń ISA oraz PCI. Magistrala ISA jest jedyną magistralą z 16-bitową szyną danych. Jest to najstarszy i najtrwalszy standard gniazd rozszerzeń. Wszystkie standardy opracowane później wyposażone zostały w 32-bitową szynę danych.

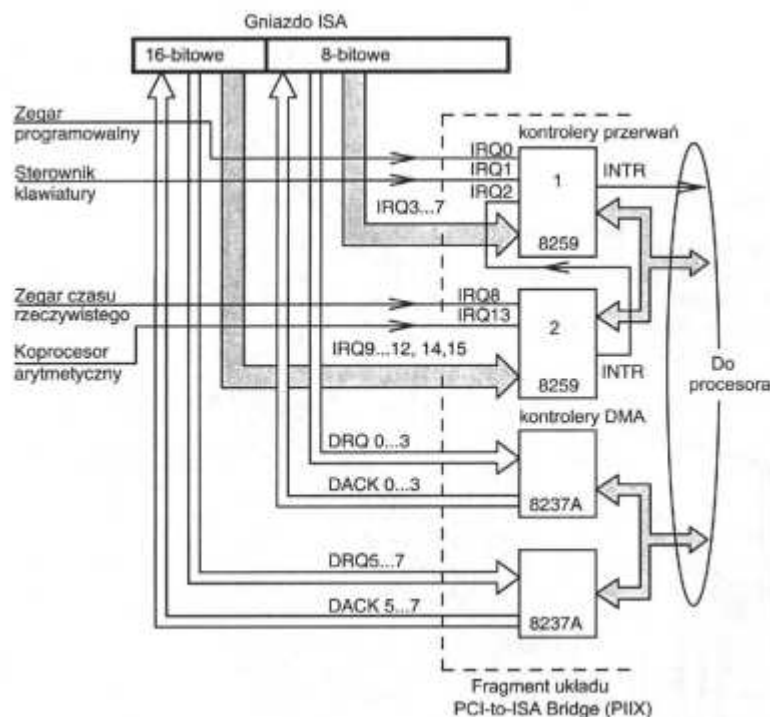
Standard ISA.

Standard ISA posiada 16-bitową, dwukierunkową szynę danych (SD0...SD7, SD8...SD15) i 24-bitową szynę adresową (SA0...SA19, LA17...LA23). Złącze ISA składa się z dwóch sekcji: 62-stykowej, z 8-bitową szyną danych i 36-stykowej, umożliwiającej rozszerzenie szyn danych do 16 bitów. Szyna adresowa (SA0...SA19) umieszczona na 62-stykowej (8-bitowej) sekcji złącza ISA pozwala zaadresować 1 MB (zwany inaczej zerowym megabajtem) pamięci. Sygnał *SMEMW* jest aktywny tylko



Rys. 4.3 Schemat gniazda rozszerzeń ISA.

w przypadku zapisu danych do pamięci zawartej w tym obszarze, a sygnał *SMEMR* - aktywny dla odczytu danych tylko z tego obszaru. Sygnały te mogą być generowane przez mikroprocesor lub przez układy obsługujące transmisję *DMA*. Linie adresowe SA0...SA19 wraz z liniami LA17...LA23 umożliwiają adresowanie pamięci do 16 MB. Linie L17...L23 wykorzystywane są jako sygnały wyjściowe dekodery pamięci; sygnały te nie są zapamiętywane w rejestrach. Zapis danych do całego 16-megabajtowego obszaru pamięci możliwy jest przy aktywnym sygnale *MEMW*, odczyt przy aktywnym sygnale *MEMR*. Maksymalna przestrzeń adresowa przeznaczona dla portów wejścia/wyjścia magistrali ISA wynosi 64 KB (16 linii adresowych SA). Pierwszych 256 adresów zarezerwowanych jest dla układów znajdujących się z reguły na płycie głównej (rejstry kontrolerów *DMA*, kontrolerów przerwań, zegara czasu rzeczywistego, itd.). Zapis danych do portu odbywa się przy aktywnym sygnale *IOW* (Input/Output Write), natomiast odczyt - przy aktywnym sygnale *IOR* (Input/Output Read). Lina *MASTER* umożliwia przejęcie sterowania zasobami systemu przez urządzenie zewnętrzne. Realizowane to jest poprzez zgłoszenie żądania cyklu *DMA* linią *DRQ*, a po akceptacji zgłoszenia (*DACK*), ustawienie linii *MASTER* w stan niski. Stan ten powoduje odłączenie od szyn danych, adresowych oraz linii sterujących mikroprocesorem i układów *DMA*.



Rys. 4.4. Schemat blokowy współpracy złącza ISA z systemem.

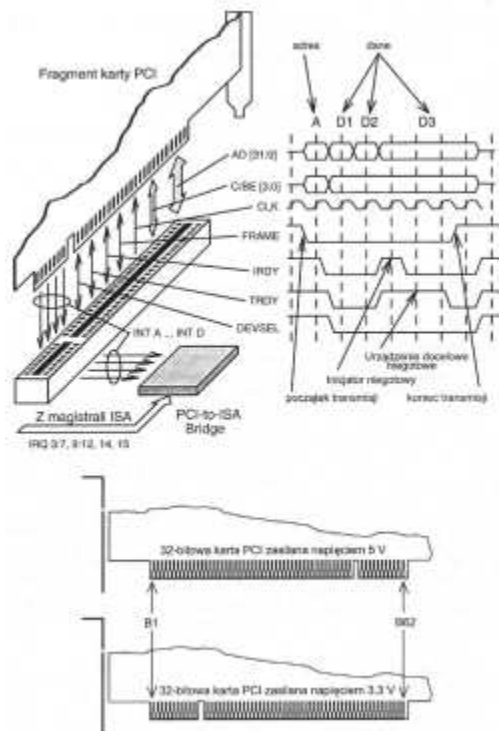
Sterowanie tymi szynami może być przejęte przez urządzenie zewnętrzne. Sygnał *MASTER* nie może trwać dłużej niż 15 mikrosekund, gdyż po tym czasie procesor musi wykonać rutynowe odświeżania pamięci DRAM. Wszystkie operacje zapisu lub odczytu taktowane są zegarem magistrali CLK o częstotliwości ok. 8 MHz. Teoretyczna

maksymalna szybkość przesyłania danych wynosi mniej więcej 8 MB/s. Jest to, w porównaniu z szybkością procesora wąskie gardło, powodujące spowolnienie pracy komputera. Sygnał *RESET* zeruje układy zewnętrzne w trakcie załączania napięć zasilających lub w trakcie zerowania systemu klawiszem *RESET*. Do złącza ISA doprowadzone są napięcia +5V, -5V, +12V, -12V umożliwiające zasilanie zainstalowanych tam kart. Transmisję w trybie bezpośredniego dostępu do pamięci (DMA) zrealizowano w oparciu o dwa kontrolery 8237A (jak na rysunku) połączone kaskadowo. Jeden kontroler obsługuje transmisje 8-bitowe (kanały 0...3), drugi zaś transmisje 16-bitowe (kanały 5...7). Za pomocą linii *DRQ*, urządzenie żąda transmisji w trybie DMA. Kontroler DMA akceptuje zgłoszenie transmisji za pomocą linii *DACK*. Sygnał *AEN* (generowany przez mikroprocesor) informuje wszystkie urządzenia dołączone do szyn ISA o przejściu kontroli przez DMA nad szyną adresową. System przerwań zawiera dwa kontrolery 8259 połączone kaskadowo. Układ 1 obsługuje przerwania o numerach od 0 do 7, przy czym przerwanie o numerze 2 (*IRQ2*) pochodzi od drugiego kontrolera 8259. Układ drugi obsługuje przerwania o numerach od 8 do 15. Sygnały żądania przerwania *IRQ0*, *IRQ1*, *IRQ8* i *IRQ13* generowane są przez układy znajdujące się standardowo na płycie głównej. Poniższa tabela ilustruje priorytety poziomów przerwań wykorzystywanych przez układy znajdujące się na płycie głównej oraz przez urządzenia zewnętrzne.

F u n k c j a	U k ł a d 1	U k ł a d 2
zegar programowany (np. 8254)	<i>IRQ0</i>	-
sterownik klawiatury (np. 8042)	<i>IRQ1</i>	-
przerwanie od układu 2 (8259)	<i>IRQ2</i>	-
zegar czasu rzeczywistego	-	<i>IRQ8</i>
programowa zmiana kierunku na <i>INT 0AH</i>	-	<i>IRQ9</i>
zarezerwowane	-	<i>IRQ10</i>
zarezerwowane	-	<i>IRQ11</i>
zarezerwowane	-	<i>IRQ12</i>
koprocesor arytmetyczny	-	<i>IRQ13</i>
sterownik dysków twardych	-	<i>IRQ14</i>
drugi sterownik dysków twardych	-	<i>IRQ15</i>
port szeregowy nr 2 (<i>RS 232C</i>)	<i>IRQ3</i>	-
port szeregowy nr 1 (<i>RS 232C</i>)	<i>IRQ4</i>	-
port równoległy nr 2 (<i>CENTRONICS</i>)	<i>IRQ5</i>	-
sterownik dysków elastycznych	<i>IRQ6</i>	-
port równoległy nr 1 (<i>CENTRONICS</i>)	<i>IRQ7</i>	-

Magistrala PCI.

Magistrala lokalna **PCI** (ang. Peripheral Component Interconnect - standard połączeń układów peryferyjnych) została opracowana przez firmę INTEL w roku 1992, z myślą o obsłudze kart wymagających dużych szybkości transmisji (np. kontroler dysków



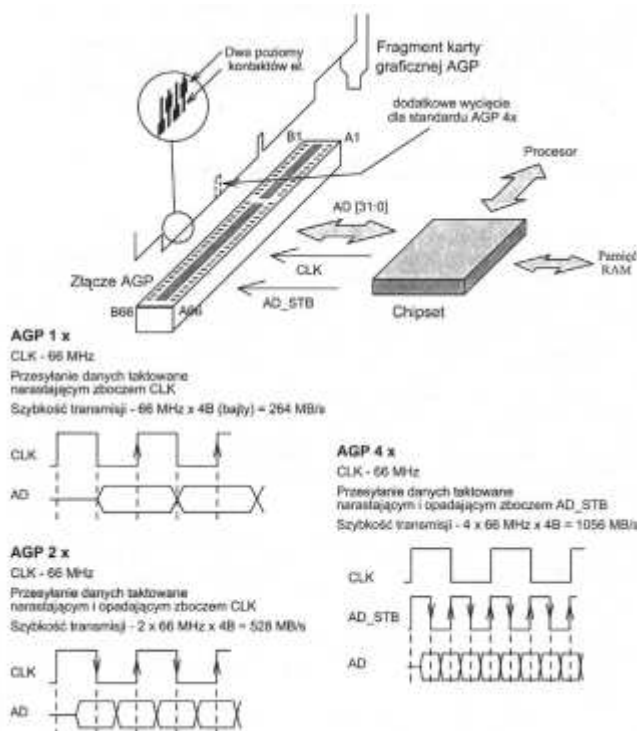
Rys. 4.5. Schemat złącza PCI; przebiegi czasowe; rozróżnienie wersji 32 i 64 bit.

twardych, kart sieciowych, graficznych itd.). Magistrala PCI taktowana zegarem o częstotliwości 33 MHz, przesyła dane całą szerokości 32-bitowej szyny, osiągając tym samym maksymalną szybkość transmisji 132 MB/s. Wszystkie współczesne płyty główne wyposażone są w kilka gniazd PCI. Rysunek obok prezentuje wygląd złącza oraz funkcje niektórych linii magistrali PCI. Magistrala PCI wyposażona jest w 32-bitową multipleksowaną szynę adresową/danych AD[31:0], taktowaną zegarem CLK o częstotliwości 33 MHz. Procesor transmisji danych wykonany jest w trybie przesyłania seryjnego (ang. Burst). W pierwszym cyklu inicjującym transmisję wystawiany jest adres początkowy, zaś w następnych cyklach przesyłane są dane, przy czym ich ilość nie jest limitowana. Standard PCI wyróżnia dwa rodzaje współpracujących ze sobą urządzeń: urządzenia inicjujące transmisję (inicjatory) i urządzenia docelowe. Transmisję danych rozpoczyna inicjator, który na szynie AD [31:0] wystawia adres urządzenia docelowego, a na liniach C/BE [3:0] - kod rodzaju operacji (przykładowe kody operacji we/wy: 0010 - odczyt danych, 0011 - zapis danych). Inicjator uaktywnia również sygnał *FRAME* (początek wysyłania ramki). Wybrane urządzenie docelowe odpowiada uaktywnieniem sygnału *DEVSEL*. W ciągu kolejnych taktów zegara przesyłane są dane, oczywiście tylko wtedy, gdy aktywne będą linie: *IRDY* - inicjator gotowy, *TRDY* - urządzenie docelowe gotowe. Jeśli jeden z tych dwóch sygnałów jest nieaktywny, następuje stan oczekiwania. Magistrala PCI została zaprojektowana dla kart zasilanych napięciem 5V i 3.3V. Różnice pomiędzy złączami tych kart przedstawione są na rysunku. Istnieje również możliwość zainstalowania w gnieździe PCI karty "uniwersalnej" zasilanej napięciem 5V lub 3.3V - karta taka posiada złącze z dwoma wycięciami. Specyfikacja PCI przewiduje również możliwość współpracy z 64-bitową szyną danych. Magistral 64-bitowa taktowana zegarem 33 MHz mogłaby osiągnąć maksymalną szybkość wymiany danych równą 264

MB/s. Oczywiście magistrala ta wymaga zastosowania złączy 64-bitowych (dłuższych niż 32-bitowe). Projektanci PCI przewidzieli możliwość instalowania kart 32-bitowych w gnieździe 64-bitowym oraz 64-bitowych w gnieździe 32-bitowym (w tym ostatnim przypadku karta 64-bitowa pracuje jako 32-bitowa). Magistrala PCI wyposażona jest w automatyczną konfigurację - procedury BIOS automatycznie konfiguruje każde nowe urządzenie dołączone do magistrali, uwzględniając przy tym parametry konfiguracyjne innych kart dołączonych wcześniej do magistrali.

Złącze AGP.

Szybki port graficzny AGP (Accelerated Graphics Port), produkt firmy Intel, służy do obsługi zaawansowanej trójwymiarowej grafiki. Większość współczesnych płyt głównych wyposażona jest w złącze AGP. Standard AGP umożliwia bezpośrednią transmisję danych pomiędzy pamięcią operacyjną RAM płyty głównej, a procesorem graficznym, bez potrzeby angażowania pamięci lokalnej sterownika graficznego. Technika ta nosi nazwę DIME (ang. Direct Memory Execute). Fakt ten pozwala ograniczyć pojemność pamięci lokalnej sterownika (do kilku-kilkunastu MB, bez pogarszania jej wydajności). Pojemność obszaru pamięci operacyjnej RAM, wykorzystywanego przez AGP, jest zmienna i zależy od użytego programu, może zajmować np. dla trójwymiarowej grafiki aż do kilkunastu MB. Specyfikacja AGP opisuje trzy standardy.



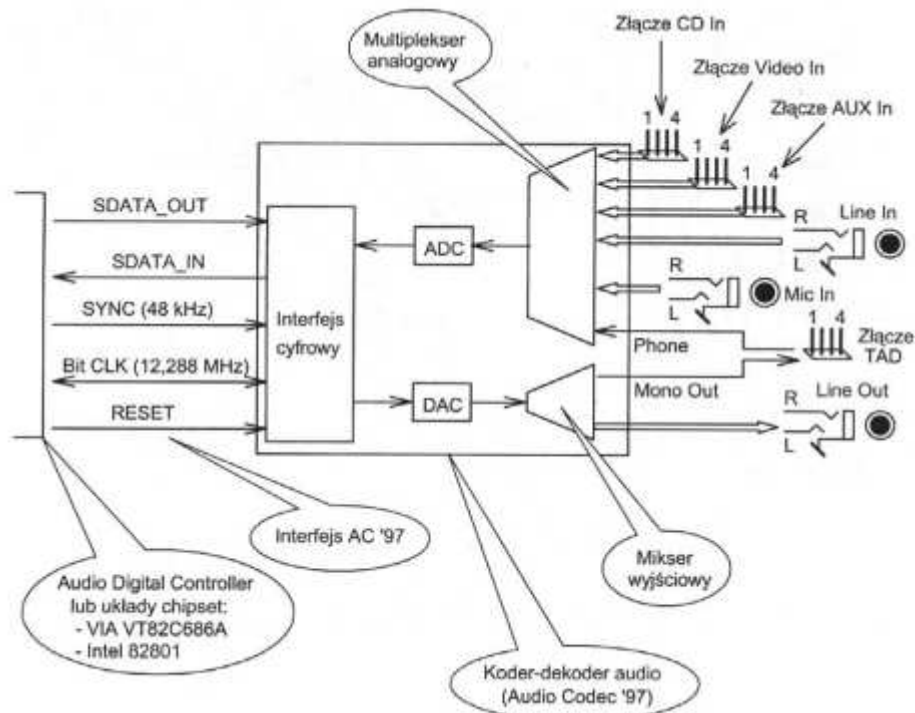
Rys. 4.6. Schemat złącza AGP, przebiegi czasowe.

Każdy z nich zakłada taktowanie 32-bitowej szyny adresowej/danych AD[31:0] z częstotliwością CLK, równą 66MHz:

- AGP 1x pozwala osiągnąć szybkość transmisji 264 MB/s (4 bajty pomnożone przez 66 MHz),
- AGP 2x, w którym maksymalny transfer jest dwukrotnie wyższy i wynosi 528 MB/s (szyna AGP taktowana jest każdym zboczem opadającym i narastającym zegara, zwiększając dwukrotnie szybkość transmisji),
- AGP 4x zakłada dalsze dwukrotne zwiększenie szybkości transmisji danych, dzięki wykorzystaniu każdego narastającego i opadającego zbocza, standardowego sygnału (interfejsu AGP) AD_STB, którego częstotliwość jest dwukrotnie większa od częstotliwości zegara CLK.

Złącze AMR.

Urządzenie służące do obróbki sygnałów dźwiękowych (takie jak karty dźwiękowe, modemy, itd.) wyposażone są w układy wzajemnie dublujące się. Do układów tych należy np. cyfrowy procesor sygnałowy (ang. Digital Signal Processor, DSP), w który wyposażone są i modem i karta dźwiękowa. Dlatego też konstruktorzy Intela zaproponowali przeniesienie wspólnej części cyfrowej urządzeń audio na płytę główną i umieszczenie jej w oddzielnym układzie o nazwie Audio Digital Controller lub zintegrowanie jej z chipsetem. W ten sposób powstał interfejs, łączący części: cyfrową i analogową urządzeń audio, o nazwie **Audio Codec '97 (AC '97)**. Aby lepiej zrozumieć ideę specyfikacji AC '97, prześledzimy drogi sygnałów z/do urządzeń audio (rysunek 61).



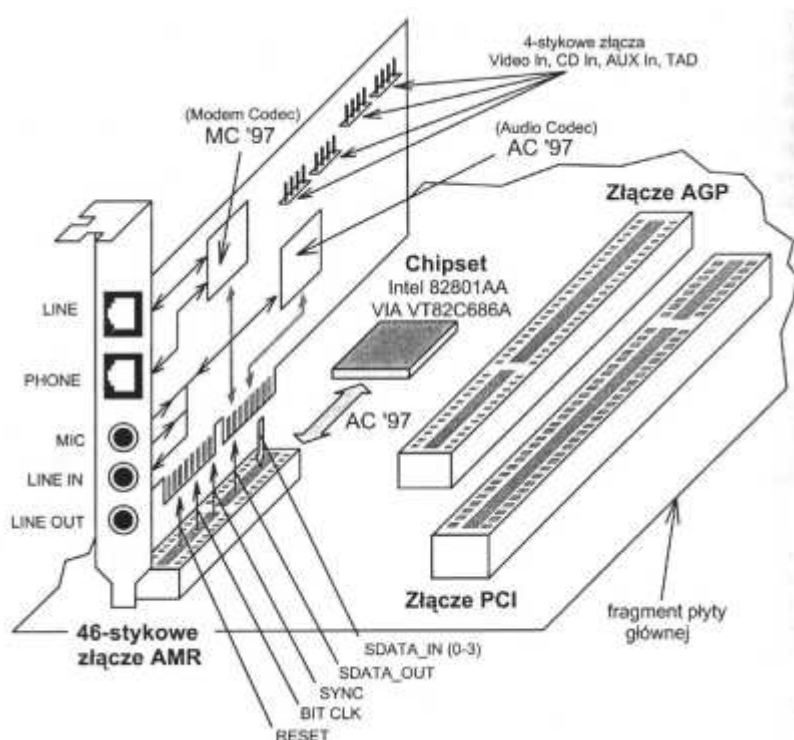
Rys. 4.7. Drogi połączeń sygnałów urządzeń audio.

Sygnał analogowy pochodzący z mikrofonu (MIC) lub z innego źródła (LINE_IN) poddawany jest zmiksowaniu lub wzmocnieniu w układzie multipleksera analogowego, a

następnie przetwarzaniu analogowo/cyfrowemu. Powyższe czynności wykonuje układ zwany kodem audio. Tak uformowana postać cyfrowa sygnału audio przesyłana jest linią *SDATA_IN* interfejsu AC '97 do układu Audio Digital Controller. W przypadku operacji wyjściowych, postać cyfrowa sygnału audio przesyłana jest z układu Audio Digital Controller linią *SDATA_OUT* interfejsu AC '97 na wejście dekodera audio, gdzie zostaje zmieniona na postać analogową, a następnie poddana wzmocnieniu, pojawia się na wyjściu dekodera (*LINE_OUT*). Koder i dekodery audio tworzą wspólny układ o angielskiej nazwie Audio Codec. Układ ten jest odpowiednikiem części analogowej karty dźwiękowej i podobnie jak on obsługuje następujące złącza analogowe audio:

- 4-stykowe złącze wejściowe Video In, umożliwiające podłączenie sygnału fonii stereo z tunera telewizyjnego,
- 4-stykowe złącze wejściowe CD In, sygnału fonii stereo z napędu CD, łączone kablem z wyjściem Audio napędu CD,
- 4-stykowe pomocnicze złącze wejściowe sygnału fonii stereo (AUX In),
- 4-stykowe złącze TAD (ang. Telephone Answering Device) połączone kablem z takim samym złączem, znajdującym się na karcie modemu, umożliwia odbiór i nadawanie poprzez modem wiadomości głosowych; dwa styki tego złącza Phone i masa służą do przesyłania wiadomości z modemu do układu kodera/dekodera audio, wiadomość odwrotna przesyłana jest do modemu za pomocą styków; Mono Out i masa.

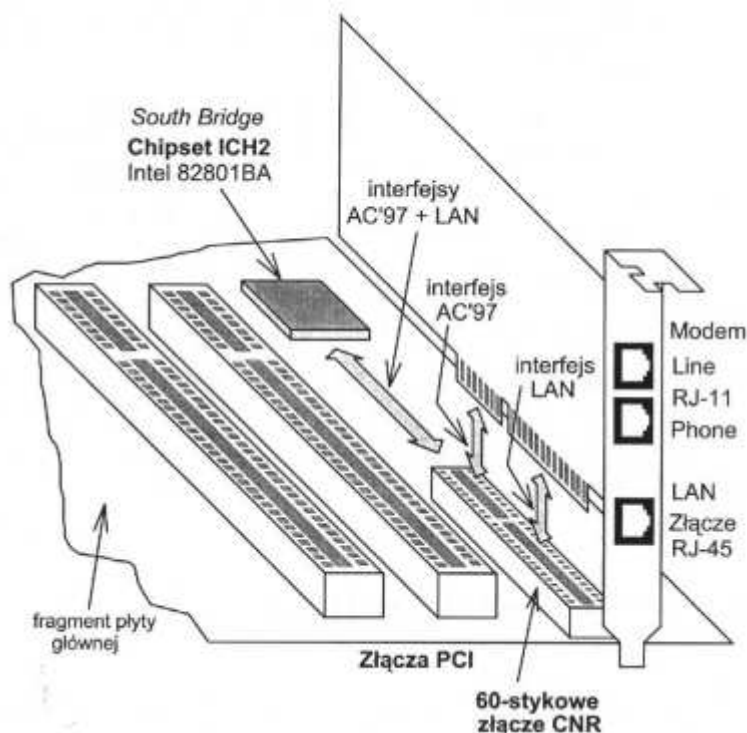
Poszczególnym stykom złącz Video In i CD In i AUX In przyporządkowano następujące sygnały: kanał lewy fonii, masa, masa, kanał prawy fonii. Koder/dekoder audio obsługuje również typowe złącza stereofoniczne, umieszczone na "śledziu" karty dźwiękowej: Line Out, Line In, Mic In. Dane cyfrowe przesyłane są liniami *SDATA_IN* oraz *SDATA_OUT* w postaci ramek, synchronizowanych impulsami *SYNC*, z częstotliwością 48 kHz (z taką częstotliwością przetwarzany jest sygnał audio przez układy cyfrowe). Przesyłanie bitów wchodzących w skład ramek synchronizowane jest za pomocą sygnału *BIT_CLK* (z częstotliwością 12,288 MHz). Audio Codec wytwarza więc 48000 ramek na sekundę. Na przykład - ramka wejściowa zawiera dwie 20-bitowe próbki sygnałów pochodzących z aktualnie użytkowanego wejścia audio oraz jedną próbkę pochodzącą z modemu (z wejścia Phone). Scalony układ audio Codec może być montowany bezpośrednio na płycie głównej komputera (wtedy wszystkie omówione złącza analogowe znajdą się na tejże płycie) lub na specjalnych kartach instalowanych w 46-stkowym złączu AMR płyty głównej. Styki tego złącza połączone są liniami interfejsu AC '97. Karta AMR może posiadać kilka układów typu CODEC, w zależności od funkcji, jakie ma pełnić. Rysunek 62 ilustruje przykład karty, integrującej funkcje karty dźwiękowej i modemu. Złącze AMR posiada cztery linie *SDATA_IN* (0-3), umożliwiające pracę z czterema układami CODEC. Obecnie niektóre współczesne płyty główne posiadają już złącze AMR, umożliwiając instalowanie kart rozszerzeń z interfejsem AC '97.



Rys. 4.8. Przykład karty muzycznej i modemu zbudowanej na złączu AMR.

Złącze CNR.

Konstruktorzy Intel zintegrowali z układem chipset - South Bridge kontroler sieci lokalnej (ang. LAN - Local Area Network). Fakt ten pozwoli uprościć konstrukcję karty sieciowej, która będzie zawierać jedynie przetworniki A/C i C/A oraz część analogową. W ten sposób powstał standard CNR (ang. Communications and Networking Riser), który jest dalszym rozwinięciem standardu AMR. Złącze CNR obsługuje więc interfejsy AC '97 i LAN. Niestety złącza AMR i CNR nie są ze sobą zgodne ani mechanicznie, ani elektronicznie, w związku z powyższym karta AMR nie pasuje do złącza CNR. Rysunek ilustruje przykład karty CNR, integrującej funkcje modemu i karty sieciowej. Produkowane są również karty, integrujące funkcje karty dźwiękowej i modemu lub karty dźwiękowej i karty sieciowej.

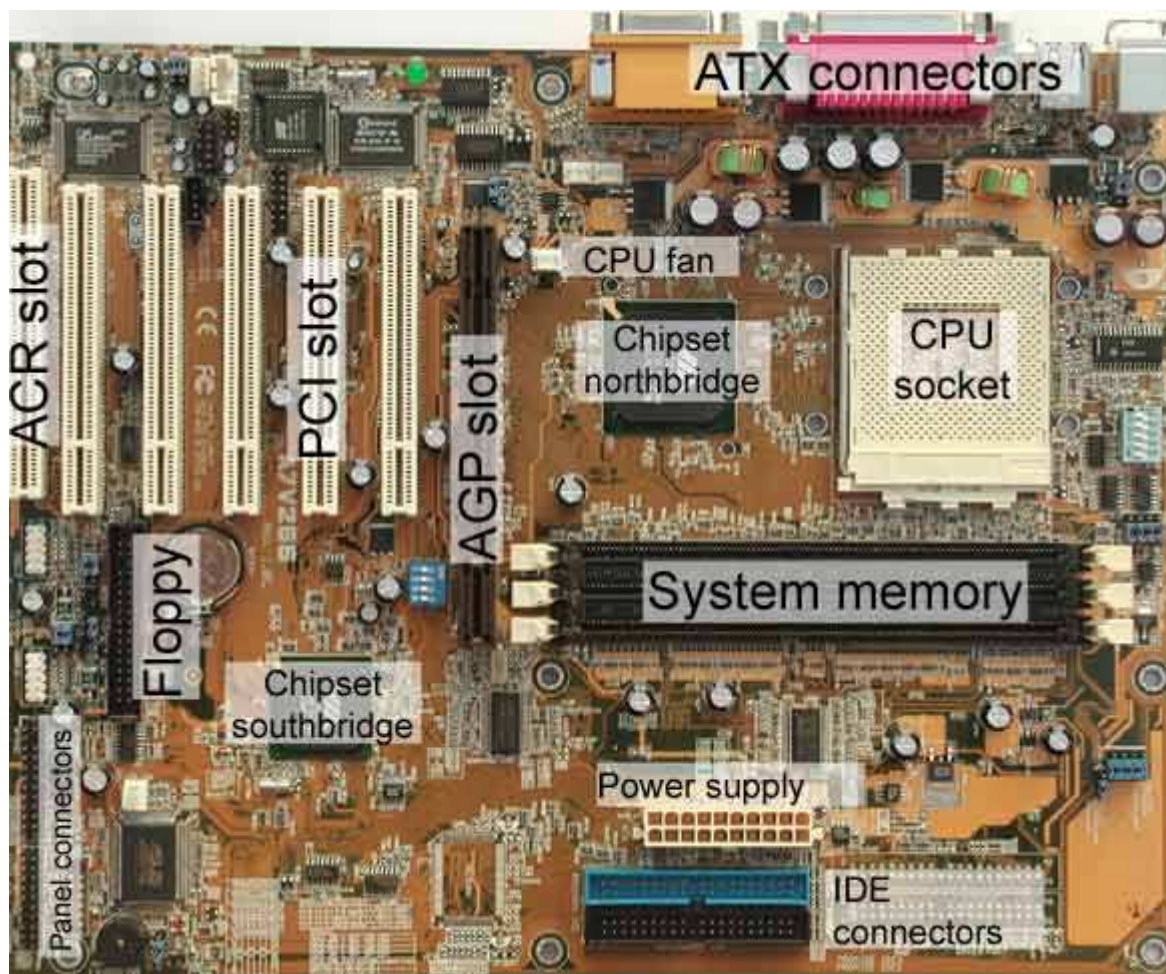


Rys. 4.9. Przykład karty CNR integrującej funkcje modemu i karty sieciowej.

4.4. Złącza i zworki na płytach głównych.

Płyta główna (ang. mainboard) jest jedną z głównych elementów komputera osobistego. Z płyty głównej odchodzą złącza dla **modułów pamięci RAM** (SIMM lub DIMM), **gniazd CPU**, **napędów dyskietek**, urządzeń typu IDE lub EIDE, **klawiatury** czy **monitora**. W zależności od typu płyty znajdują się na niej również gniazda **PCI**, **ISA** i **AGP** służące do podłączenia kart rozszerzających. Obecnie na rynku liczą się głównie dwa rodzaje płyt głównych różniące się budową mechaniczną: starsza **Baby AT** i nowsza ulepszona **ATX** która wymaga również zgodnej z nią obudowy. Format ATX posiada kilka odmian, są to: **ATX** - w których wszystkie złącza można wykorzystywać w ich pełnej długości, dla porównania w płytach Baby AT przyłączenie np. karty dźwiękowej ze złączem ISA było czasem niemożliwe ze względu na to, że kolidowało z gniazdem CPU. W płytach tego typu zastosowano również lepsze zabezpieczenia łączy przed zmianami napięcia poprzez zastosowanie podtrzymywania "Soft-Power", które system Windows może w komputerze wyłączyć, oraz na wbudowaniu zintegrowanych złączy do urządzeń peryferyjnych. **mini ATX** - nieco mniejsze od ATX ale o takich samych właściwościach. **mikro ATX** - jeszcze mniejsze od poprzednich ale umożliwiają przyłączenie najwyżej 4 kart ISA, PCI lub AGP (dla porównania karty ATX i mini ATX mają zwykle 7 gniazd kart rozszerzeń). Poza tym karty mikro ATX pozwalają na wykorzystanie najwyżej dwóch modułów DIMM. Karty te są stosunkowo tanie ale nie dają dużych możliwości rozszerzeń. Istnieją jeszcze inne formaty takie jak **LPX** czy **NLX** które są jednak dość rzadko spotykane i montowane tylko w gotowych zestawach komputerowych, poza tym mają

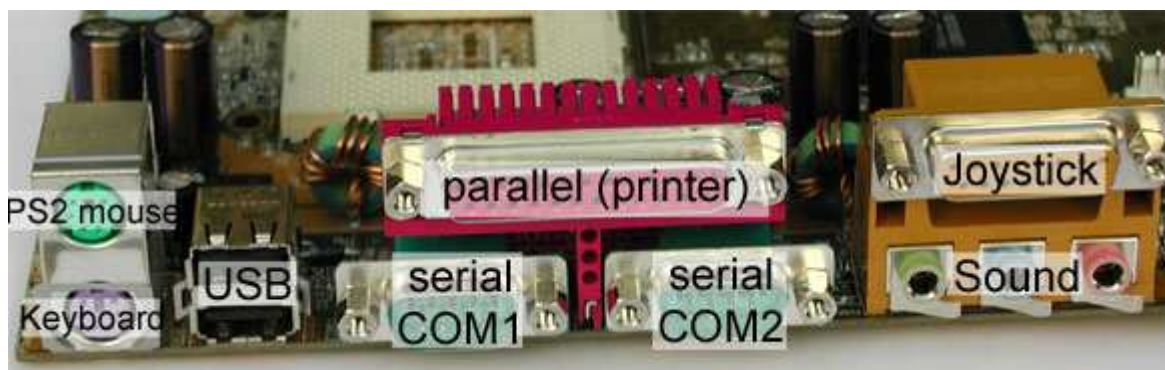
również małe możliwości rozbudowy (zwykle 3 gniazda rozszerzeń). Rozwinięciem idei **ATX**, jest specyfikacja **WTX**, której architektura umożliwia jeszcze łatwiejsze uaktualnienia konfiguracji poprzez wymianę modułu specjalnej karty rozszerzającej "**Riser card**" zawierającej układy oraz złącza komunikacyjne. Specyfikacja ta określa tzw. strefy związane z poszczególnymi elementami płyty głównej. Odpowiednie wycięcia w obudowie umożliwiają łatwe instalowanie różnych modułów "**Riser**", zależnie od zapotrzebowań, mogą to być kontrolery *SCSI*, karty sieciowe *LAN* lub szybkie adaptery *Super I/O*.



Rys. 4.10. Podstawowe elementy płyty głównej.

Powyższe zdjęcie pokazuje płytę główną firmy Asus. Na górze po prawej stronie znajdują się interfejsy i złącza, które po złożeniu komputera wystają z tyłu obudowy. Płyta ta jest zaprojektowana dla procesorów AMD Athlon i Duron. Gniazdo zwane Socket A jest na zdjęciu oznaczone jako "CPU socket". Złącza rozszerzeń widać po lewej stronie. Złącze AGP jest używane wyłącznie do karty graficznej. Złącza PCI pomieszczą karty sieciowe, ISDN, dźwiękowe lub też karty edycji wideo. Na dole po lewej stronie znajdują się złącza przedniego panelu obudowy, służące do podłączenia przycisku zasilania, diody LED dysku twardego, przycisku reset i diody sygnalizującej włączenie komputera. Zapoznajcie się z ich położeniem. Przy okazji, jeśli dioda LED nie chce się zapalić, zazwyczaj można to

naprawić odwracając wtyczkę. Dwa złącza IDE (40-nóżkowe) znajdują się poniżej w środku, zaś złącze napędu dyskietek (34-nóżkowe złącze FDD) widać po lewej stronie zdjęcia. Kable i konfigurację napędów opiszemy na następnej stronie.



Rys. 4.11. Panel złącz ATX.

Na panelu portów ATX znajdują się złącza klawiatury, myszy, dwa złącza szeregowy, port równoległy oraz dwa porty USB. Niektóre płyty główne, jak na przykład ta, posiadają dodatkowe gniazda związane z dźwiękiem oraz inne, do podłączenia joysticka. Istnieją także modele posiadające złącze monitora. Pozwala to oszczędzić gniazdo rozszerzeń na płycie i trochę pieniędzy, ale jeśli planujecie zastąpić taki tani moduł graficzny wbudowany w płytę kartą rozszerzeń o wyższej jakości, będziecie musieli dezaktywować układ na płycie. Generalnie nie jest możliwe używanie obu układów w tym samym czasie. I znow, można to zrobić za pomocą BIOS-u albo zworki. Sprawdźcie w instrukcji obsługi której metody należy użyć.

Wiele nowoczesnych płyt głównych jest konfigurowanych z poziomu BIOS-u (ang. Basic Input Output System) i nie wymaga już żadnych czynności przed montażem. Oznacza to, że parametry procesora wprowadza się bezpośrednio w BIOS-ie, do którego dostęp uzyskuje się zazwyczaj przez naciśnięcie klawisza DEL, F2 lub F10 zaraz po włączeniu komputera. Sprawdźcie w instrukcji obsługi którego klawisza użyć. Najnowsza technologia nawet rozpoznaje procesor automatycznie, jest to cecha szczególnie użyteczna dla początkujących. Jednakże ustawienia ręczne są wciąż koniecznością dla każdego, kto chce dokładnie wyregulować swój system.

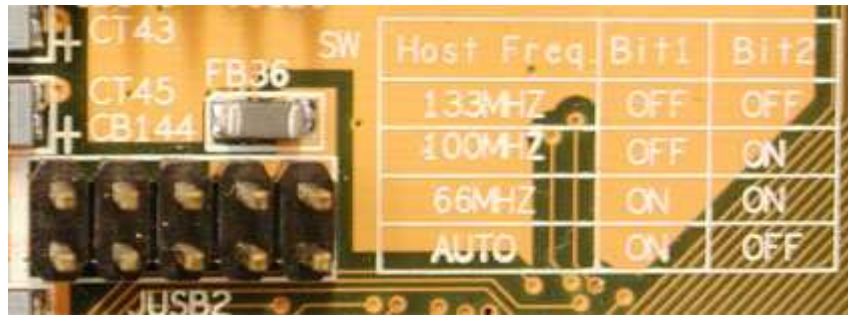
Częstotliwość zegara zewnętrznego jest zazwyczaj nazywana określeniem Front Side Bus (FSB), lub częstotliwością zegara systemowego. Typowe fizyczne częstotliwości zegarów systemowych wynoszą od 100.00 do 133.33 MHz. Właściwa częstotliwość zegara procesora jest obliczana przez pomnożenie częstotliwości zegara systemowego przez mnożnik. Dla przykładu, częstotliwość szyny FSB równa 133.33 MHz i mnożnik o wartości 13 dają w rezultacie fizyczną częstotliwość zegara procesora CPU równą 1733 MHz. Niektórzy producenci podają liczby "marketingowe", gdy efektywna przepustowość rośnie wskutek zastosowania technologii DDR (ang. Double Data Rate) lub poczwórnej

przepływności (ang. quad pumping). Oto przykłady takich liczb, które zostały umieszczone w nawiasach.

Socket/ Slot	Procesor	Zegar systemowy (FSB)
Socket 7	AMD K6-2, AMD K6-III, Intel Pentium MMX	66, 100, 133 MHz
Slot 1	Intel Pentium III, Intel Celeron	66, 100, 133 MHz
Slot A	AMD Athlon (K7)	100 MHz (200 MHz DDR)
Socket 370	Intel Pentium III, Intel Celeron, VIA C3	100, 133 MHz
Socket A (Socket 462)	AMD Athlon (Thunderbird), AMD Athlon XP (Palomino), AMD Athlon XP (Thoroughbred), AMD Duron (Spitfire, Morgan)	100 MHz (200 MHz DDR), 133 MHz (266 MHz DDR)
Socket 423	Intel Pentium 4 (Willamette), Intel Pentium 4 (Northwood)	100 MHz (400 MHz poczwórnice przepływnie)
Socket 478	Intel Pentium 4 (Northwood), Intel Celeron (Willamette)	100 MHz (400 MHz poczwórnice przepływnie), 133 MHz / (533 MHz poczwórnice przepływnie)

Firma AMD podaje też w celach marketingowych tak zwany współczynnik P-Rating, zwany także numerem modelu. Innymi słowy procesor AMD Athlon XP 2100+ w rzeczywistości działa z częstotliwością fizyczną wynoszącą jedynie 1733 MHz. Oznaczenie "2100+" to tylko sposób porównania tego procesora z odpowiednim układem typu Pentium 4. Mówiąc wprost AMD Athlon XP 2100+ jest tak szybki jak Pentium 4 2100 MHz.

Na starszych płytach nie ma automatycznej konfiguracji za pomocą oprogramowania. Z tego powodu nie zaszkodzi znajomość trzech zasad konfiguracji manualnej. Z tych samych powodów ludzie przetakowujący swoje komputery będą prawdopodobnie dokonywać ustawień ręcznie. Oto różne sposoby ustawienia częstotliwości zegara:



Rys. 4.12. Przeszarżała metoda ustawiania częstotliwości pracy procesora; tabela znajduje się na ogół w pobliżu bloku zwork.

CPU_RATIO:					
SW1	SW2	SW3	SW4	SW5	CPU_RATIO
ON	OFF	ON	OFF	ON	8
OFF	OFF	ON	OFF	ON	8.5
ON	ON	OFF	OFF	ON	9
OFF	ON	OFF	OFF	ON	9.5
ON	OFF	OFF	OFF	ON	10
OFF	OFF	OFF	OFF	ON	10.5
OFF	OFF	OFF	OFF	OFF	jumper free mode

Rys. 4.13. Tabela mnożników dla starszych płyt.

Auto Detect DIMM/PCI Clk	[Disabled]
Spread Spectrum	[Disabled]
CPU Clock	[133]
AGP/PCI Frequency will be	66/33 MHz
CPU Ratio	[X 13]
Watching-Dog Timer	[Disable]
Vcore Default Voltage	1.650 V
Current Voltage	[Default]
Adjust Voltage	+ 0.000 V

Rys. 4.14. Nowoczesna i wygodna metoda konfiguracji.

To, która z tych trzech metod odnosi się do waszego przypadku zależy od waszej płyty głównej. Choć ogólne tendencje skłaniają się ku BIOS-owi, można od czasu do czasu znaleźć blok przełączników DIP. Z drugiej strony metoda ze zworkami jest całkowicie przestarzała. Firmy Intel i AMD oficjalnie zniosły zmienny mnożnik swoich procesorów jakiś czas temu. Chciano w ten sposób zapobiec przetaktowywaniu na przykład modelu 1300 MHz na 1500 MHz. W ten sposób można znacznie zwiększyć wydajność bez wydawania nawet grosza. Dla tych z nas, którzy lubią majsterkować, jedynym sposobem

na wyciągnięcie większej wydajności z procesora jest łagodne zwiększanie częstotliwości szyny FSB. Niemniej jednak istnieje kilka sztuczek umożliwiających usunięcie blokady mnożnika, przynajmniej w procesorach AMD. Ponieważ producenci płyt głównych są tego świadomi, przyciągają oni klientów oferując coś, co w rzeczywistości jest dodatkową regulacją mnożnika. Wyraźnie widać to na zrzucie ekranu BIOS-u.

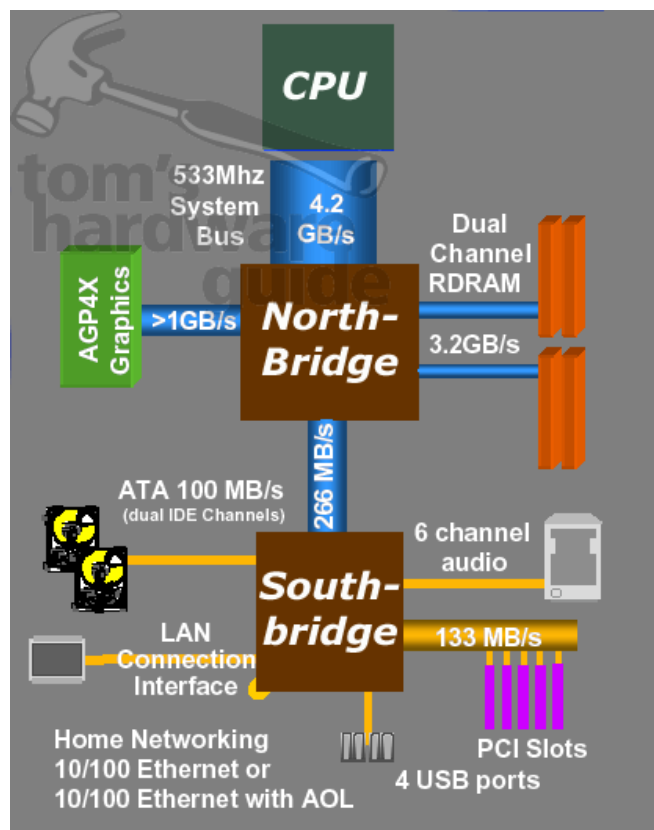
4.5. Współczesne układy chipset.

Pan Jan Kowalski po raz pierwszy otwiera obudowę swojego nowego systemu PC. Kupił swój tani komputer w dużym supermarkecie. To, co przekonało go do kupna tego komputera to napisy "XP 2000+" i "30 GB", poumieszczane na całym opakowaniu i w ulotkach. Teraz przychodzi rozczarowanie, gdyż pomimo posiadania szybszego procesora, system jest wolniejszy od komputera przyjaciela pana Kowalskiego - pana Nowaka. Okazyjnie kupiony komputer pana Jana odczuwa to boleśnie zwłaszcza w grach 3D, w których tempo wyświetlania jest znacząco niższe, aniżeli w systemie pana Nowaka, który z kolei sam zbudował swój komputer. Niskobudżetowy komputer pana Kowalskiego załamuje zupełnie podczas tworzenia kopii pożyczonych filmów DVD. Pan Nowak jest w stanie zgrać na CD dwa całe filmy DVD jednego wieczora. Jan Kowalski jest zupełnie załamany - chociaż posiada nowoczesny komputer PC, zirytowany jest faktem wydania na niego 1000 USD. Skusiły go marketingowe zagrywki supermarketu, zaślepiły obietnice szybkiego systemu. Co więcej, płyta główna komputera pana Kowalskiego mocno ogranicza możliwości dalszej rozbudowy. Tak właśnie owoc szybkiej okazji przekształca się w kandydata do śmietnika. Pan Jan Kowalski po raz pierwszy otwiera obudowę swojego nowego systemu PC. Kupił swój tani komputer w dużym supermarkecie. To, co przekonało go do kupna tego komputera to napisy "XP 2000+" i "30 GB", poumieszczane na całym opakowaniu i w ulotkach. Teraz przychodzi rozczarowanie, gdyż pomimo posiadania szybszego procesora, system jest wolniejszy od komputera przyjaciela pana Kowalskiego - pana Nowaka. Okazyjnie kupiony komputer pana Jana odczuwa to boleśnie zwłaszcza w grach 3D, w których tempo wyświetlania jest znacząco niższe, aniżeli w systemie pana Nowaka, który z kolei sam zbudował swój komputer. Niskobudżetowy komputer pana Kowalskiego załamuje zupełnie podczas tworzenia kopii pożyczonych filmów DVD. Pan Nowak jest w stanie zgrać na CD dwa całe filmy DVD jednego wieczora. Jan Kowalski jest zupełnie załamany - chociaż posiada nowoczesny komputer PC, zirytowany jest faktem wydania na niego 1000 USD. Skusiły go marketingowe zagrywki supermarketu, zaślepiły obietnice szybkiego systemu. Co więcej, płyta główna komputera pana Kowalskiego mocno ogranicza możliwości dalszej rozbudowy. Tak właśnie owoc szybkiej okazji przekształca się w kandydata do śmietnika. Wielu użytkowników zastanawia się nad jak najlepszą konfiguracją swoich systemów i odpowiednim wyborem komponentów. Zazwyczaj analiza potencjału wydajności PC opiera się na ocenie takich komponentów, jak procesor, pamięć, układ graficzny i dyski twarde. Jednakże to chipset

płyty głównej jest najbardziej znaczącym czynnikiem określającym możliwości rozbudowy płyty głównej i wykorzystania drzemiących funkcji. Poza tym, określa możliwy tryb UltraDMA, liczbę i rodzaj interfejsów USB oraz zgodność z innymi komponentami.

Architektura Chipsetu.

Zasadniczo każdy chipset składa się z mostka północnego i mostka południowego.



Rys. 4.15. Przykładowy schemat układu chipsetu.

Niektóre chipsety firmy SiS są wyjątkami - na przykład 735 i 645 - są to rozwiązania jednokładowe. Schemat poniżej pozwoli nam na poznanie sposobu działania tradycyjnego chipsetu. Do mostka północnego podłączone są w konfiguracji gwiazdy następujące komponenty: procesor, interfejs graficzny, pamięć RAM i mostek południowy. Największe transfery danych mają miejsce pomiędzy mostkiem północnym a procesorem - w naszym przykładzie przepustowość osiąga wartość 4.2 GB na sekundę. Pamięć RAM jest druga w kolejności największych generujących ruch (tutaj stosujemy dwukanałowy interfejs Rambusa), osiągający 3.2 GB na

sekundę. Mniej wymagające (pod względem przepustowości) są transfery danych do interfejsu graficznego, który, zgodnie ze standardem AGP 2.0, zajmuje lekko powyżej 1 GB na sekundę. Drugim układem chipsetu jest mostek południowy, odpowiedzialny za komunikację z urządzeniami peryferyjnymi. Do nich zaliczają się interfejsy PCI, kontrolery IDE dysków twardych i napędów DVD/CD-ROM, kontrolery USB oraz interfejsy dźwiękowy i sieciowy. Mostki północny i południowy połączone są kanałem danych. Oto parę przykładów: chipset VIA KT133A komunikuje się poprzez szynę PCI w trybie PCI 33, w którym osiąga 133 MB/s. Poczynając od chipsetu VIA KT266, stosowane jest łącze V-Link, o przepustowości 266 MB/s. Podobne rozwiązanie zastosowano w chipsecie IGP 320 ATi. W tym momencie najwyższe teoretyczne tempo danych oferuje chipset nForce w postaci łącza HyperTransport o przepustowości 800 MB/s. Chipsety Intelu (845 i 850), połączone łączem Hub Link v1.0, osiągają 266 MB/s. Na końcu wchodzi tajwański producent ALi, który wciąż stosuje przestarzały protokół PCI 33 - rozwiązanie porzucone przez konkurentów dawno temu.

Tutaj warto odpowiedzieć na pytania zadawane przez użytkowników korzystających z kontrolerów RAID (Promise lub HighPointa) w systemie z przestarzałym chipsetem, oferującym stanowczo za niskie tempo transferu pomiędzy mostkami. W tym przypadku wewnętrzne tempo transferu danych chipsetu dochodzi do granic możliwości, więc nie ma zauważalnego wzrostu wydajności po stworzeniu macierzy RAID. Dodatkowo, inne komponenty, jak USB czy dźwięk, także zmniejszają dostępną przepustowość.

Poniższe tabelki przedstawiają zestawienie obecnie stosowanych chipsetów.

Chipset		Northbridge	<--- Hub --->	Southbridge		
Apollo KT133		VT8363	PCI 33 (133 MB/s)	VT82C686 VT82C686A/VT8231 VT82C686B		
Pro Savage KM133		VT8365				
Apollo KT133 A		VT8363A				
Pro Savage KM133 A		VT8365A				
Pro Savage KL133		VT8604				
Apollo KLE133		VT8361				
Apollo KT133 E		VT8363E				
Apollo KT266		VT8366			V-Link 266 MB/s	VT8233 VT8233A VT8233C
Apollo KM266		VT8375				
Apollo KT266 A		KT266A/VT8366A				
Apollo KT333		KT333/VT8367				
Apollo KT333 A		KT333A	V-Link 533 MB/s	VT8235		
Apollo KT400 A		KT400A				
Northbridges						
Northbridge	FSB (MHz)	Memory (MHz)	AGP	Info		
VT8363 VT8365 VT8363E	100	SD-RAM 66/100/133	4x	1,5 GB max, VC Memory ProSavage 4		
VT8363A VT8365A VT8604 VT8361	100/133			n/a	1,5 GB max, VC Memory ProSavage 4 Grafik	
VT8366	100/133	SD-RAM, DDR-RAM 100/133	4x	4 GB max, VC Memory ProSavage 8		
VT8375					4 GB max, VC Memory new Memory controller	
KT266A/VT8366A	100/133				4 GB max, VC Memory	
KT333/VT8367	100/133/166	DDR-RAM 100/133/166		4 GB max, VC Memory		
KT333A	100 /133 /166	DDR-RAM 100/133/166	8x			
KT400A	100 /133 /166	DDR-RAM 100/133/166/200	8x			
Southbridges						
Southbridges	USB	Sound AC'97	ATA	LAN		
VT82C686	4 x 1.1	2 Channel, MC-97 Modem	66	no		
VT82C686A/VT8231	4 x 1.1		100			
VT82C686B	4 x 1.1					
VT8233	6 x 1.1	6 Channel, MC-97 Modem	133	100 Mbit PNA controller		
VT8233A	6 x 1.1		100			
VT8233C	6 x 1.1					
VT8235	2.0		133			

Rys. 4.16. Chipsety firmy VIA (dla Socket-A).

AMD for Socket A (AMD Duron, Athlon and Athlon XP)				
tom's hardware guide		AMD		AMD Duron AMD Athlon XP AMD Athlon
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
750	AMD-751	PCI 33 (133 MB/s)	AMD-756	
760	AMD-761		AMD-766 VT82C686B	
Northbridges				
Southbridges	FSB	Memory (MHz)	AGP	Info
750	100	SD-RAM 100	2x	
760	100/133	DDR-RAM 100/133	4x	
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
AMD-756	4 x 1.1	AC 97 Codec	66	
AMD-766	4 x 1.1		100	3 COM 10/100Mbps LAN
VT82C686B	4 x 1.1	2 Channel, MC-97 Modem	100	






Rys. 4.17. Chipsety firmy AMD (dla Socket-A).

nVidia for Socket A (AMD Duron, Athlon and Athlon XP)				
tom's hardware guide		nVIDIA nFORCE		AMD Duron AMD Athlon XP AMD Athlon
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
nForce 220	nForce440 SPP/IGP	Hyper Transport 800 MB/s	nForce220 MCP	
nForce 220-D	nForce440 SPP			
nForce 415-D	nForce440 SPP	Hyper Transport 800 MB/s	nForce440 MCP	
nForce 420	nForce440 SPP/IGP			
nForce 420-D	nForce440 SPP			
nForce 615D	nForce615 SPP			
nForce 620	nForce615 SPP/IGP			
nForce 620D	nForce615 SPP			
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
nForce440 SPP/IGP	100/133	SD-RAM, DDR-RAM 100/133	4x	2 GB max, GeForce 2 MX
nForce440 SPP				2 GB max
nForce440 SPP	100/133	Dual-SD-RAM, DDR-RAM 100/133		2 GB max, GeForce 2 MX
nForce440 SPP/IGP				2 GB max
nForce615 SPP	100/133	Dual-DDR-RAM 100/133/166		2 GB max, GeForce 2 MX
nForce615 SPP/IGP				2 GB max
nForce615 SPP				
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
nForce220 MCP	6 x 1.1	n/a	100	10/100Mbps LAN
nForce440 MCP	6 x 1.1	n/a	100	






Rys. 4.18. Chipsety firmy n-Vidia (dla Socket-A).

Ali for Socket A (AMD Duron, Athlon and Athlon XP)				
tom's hardware guide		Ali		AMD Duron AMD Athlon XP AMD Athlon
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
AlIMAGIK1	M1647	PCI 33 (133 MB/s)	M1535D M1535D+ M1543C	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
M1647	100/133	SD-RAM, DDR-RAM 100/133	4x	
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
M1543C	6 x 1.1	AC 97 2.1	66	10/100Mbps LAN
M1535D			100	
M1535D+				




Rys. 4.19. Chipsety firmy ALI (dla Socket-A).

SIS for Socket A (AMD Duron, Athlon and Athlon XP)				
				  
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	< --- Hub --- >	Southbridge	
730S	730S	n/a	n/a	
733	733			
735	735			
740	740	MuTIOL 533 MB/s	961	
745	745	n/a	n/a	
746	746	n/a	n/a	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
730S	100/133	SD-RAM 100/133	4x	SIS 300 Graphics
733				
735	100/133	SD-RAM, DDR-RAM 100/133	n/a	SIS 315 Graphics
740				
745	100/133	DDR-RAM 100/133/166	4x	
746			8x	
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
961	6 x 1.1	AC 97V2.2 (5.1 Sound), Modem	100	100 Mbit PNA2.0

Rys. 4.20. Chipsety firmy SIS (dla Socket-A).





ATI for Socket A (AMD Duron, Athlon and Athlon XP)				
				  
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	< --- Hub --- >	Southbridge	
Radeon IGP 320	IGP 320	V-Link 266 MB/s	IXP200	
Radeon IGP 320	IGP 320		IXP250	
Radeon IGP 320	IGP 320		VIA VT8233A	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
Radeon IGP 320	100/133	SD-RAM 100/133	4x	Radeon Grafik
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
IXP200	6 x 2.0	6 Kanal Dolby Surround Sound	100	3 COM 10/100Mbps LAN
IXP250	6 x 2.0			
VT8233A	6 x 1.1	6 Channel, MC-97 Modem	133	10/100Mbps LAN

Rys. 4.21. Chipsety firmy ATI (dla Socket-A).

AMD for Dual Socket A (AMD Athlon MP)				
				
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	< --- Hub --- >	Southbridge	
760MP	AMD-762	PCI 33 (133 MB/s)	AMD-766	
760MPX	AMD-762	PCI 33 (133 MB/s)	AMD-768	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
AMD-762	100/133	DDR-RAM 100/133	4x	64 Bit PCI
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
AMD-766	4 x 1.1		100	3 COM 10/100Mbps LAN
AMD-768	4 x 1.1			

Rys. 4.22. Chipsety AMD (dla dual-SocketA).

Ali for Socket 370 (Intel Celeron, Pentium III and VIA C3)

Possible combinations of Northbridge and Southbridge

Chipset	Northbridge	<--- Hub --->	Southbridge
Aladdin Pro 2	M1621	PCI 33 (133 MB/s)	M1543C M1535D M1535D+
Aladdin TNT 2	M1631		
Aladdin Pro 4	M1641		
Aladdin Pro 5	M1651		
Aladdin Pro 5T	M1651T		







Northbridges

Northbridges	FSB	Memory (MHz)	AGP	Info
M1621	66	SD-RAM 66	2x	nur P II
M1631	66/100/133	SD-RAM 66/100/133		TNT 2 Grafik
M1641	100	SD-RAM, DDR-RAM 100/133	4x	Grafik, LAN
M1651	100/133			Tualatin-ready
M1651T				





Southbridges

Southbridges	USB	AC'97	ATA	LAN
M1543C	6 x 1.1	AC 97 2.1	66	10/100Mbps LAN
M1535D			100	
M1535D+				





Rys. 4.23. Chipsety ALI dla Socket370.

Intel for Socket 370 (Intel Celeron, Pentium III and VIA C3)							
				   			
Possible combinations of Northbridge and Southbridge							
Chipset	Northbridge	<--- Hub --->	Southbridge				
440EX	82443EX	PCI 33 (133 MB/s)	82371EB				
440LX	82443LX						
440ZX	82443ZX						
440BX	82443BX						
810	82810(GMCH)	Hub-Link v1.0 266 MB/s	82801AA(ICH) 82801BA(ICH2)				
810E	82810E(MCH)						
810E2	82810E(GMCH)						
815	82815(GMCH)						
815E	82815(GMCH)						
815EG	82815G(GMCH)						
815EP	82815EP(MCH)						
815P	82815P(MCH)						
815G	82815G(GMCH)						
820	820(MCH)						
820E	820(MCH)						
Northbridges							
Northbridges	FSB				Memory (MHz)	AGP	Info
82443EX	66	EDO, SD-RAM 66	2x	256MB max, 4 rows			
82443LX				1GB max, 8 rows, ECC			
82443ZX		66/100	EDO 66, SD-RAM 66/100	n/a	256MB max, 4 rows		
82443BX					1GB max, 8 rows, ECC		
82810(GMCH)	66/100	SD-RAM 100	n/a	512 MB, 4 row 2 DIMMs, Graphics no mem Tualatin support possible			
82810E(MCH) 82810E(GMCH)	66/100/133			512 MB, 4 row 2 DIMMs, 4 MB Intel Graphics Tualatin support possible			
82815(GMCH)	66/100/133	SD-RAM 100/133	4x	512 MB, 6 rows 3 DIMMs, 4 MB Intel Graphics Tualatin support possible			
82815(GMCH)				512 MB, 6 rows 3 DIMMs Tualatin support possible			
82815G(GMCH)				512 MB, 6 rows 3 DIMMs Tualatin support possible			
82815EP(MCH) 82815P(MCH)				512 MB, 6 rows 3 DIMMs Tualatin support possible			
82815G(GMCH)				512 MB, 6 rows 3 DIMMs, 4 MB Intel Graphics Tualatin support possible			
820(MCH)	100/133	Single-RD RAM 600/800	n/a	1 GB, 2 RIMM, 32 dev. ECC			
820(MCH)							
Southbridges							
Southbridges	USB	AC'97	ATA	LAN			
82371EB	2 x 1.1	no	33	no			
82801AA(ICH)	2 x 1.1	2 Channel, Modem	66	no			
82801BA(ICH2)	4 x 1.1	6 Channel, Modem	100	MAC/PNA			





Rys. 4.24. Chipsety firmy Intel dla Socket370.

SiS for Socket 370 (Intel Celeron, Pentium III and VIA C3)						
				 		
Possible combinations of Northbridge and Southbridge						
Chipset	Northbridge	<--- Hub --->	Southbridge			
620	SiS620	PCI 33 (133 MB/s)	5595			
630	SiS630		n/a			
630E	SiS630E					
630ET	SiS630ET					
630S	SiS630S					
630ST	SiS630ST					
633	SiS633					
633T	SiS633T					
635	SiS635					
635T	SiS635T	n/a				
Northbridges						
Northbridges	FSB	Memory (MHz)	AGP	Info		
SiS620	66/100	SD-RAM 100/133	2x	1,5 GB max, Grafik		
SiS630	66/100/133		4x	SiS 301 Grafik, LAN		
SiS630E				Grafik, LAN		
SiS630ET				Grafik, LAN, Tualatin		
SiS630S				SiS 301 Grafik, LAN		
SiS630ST				SiS 301 Grafik, LAN, Tualatin		
SiS633				LAN		
SiS633T				LAN, Tualatin		
SiS635				66/100/133	SD-RAM, DDR-RAM 100/133	Tualatin
SiS635T						
Southbridges						
Southbridges	USB	AC'97	ATA	LAN		
5595	4 x 1.1	AC 97	66	10/100Mbps LAN		





Rys. 4.25. Chipsety SIS dla Socket370.

VIA for Socket 370 (Intel Celeron, Pentium III and VIA C3)				
				 
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
Apollo Pro Plus	§2C693	PCI 33 (133 MB/s)	VT§2C686	
Apollo PLE 133	§602		VT§2C686AVT§231	
Apollo PLET 133	§602T		VT§2C686B	
Apollo Pro 133T	§2C964T	V-Link 266 MB/s	VT§233	
Apollo 266T	VT§653		VT§233A	
Apollo KM266	VT§607		VT§233C	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
§2C693	66/100	Fast Page, ED0, SD-RAM 66/100	2x	
§602	100		4x	Grafik
§602T	66/100/133			Grafik, Tualatin ready
§2C964T		66/100/133	Tualatin ready	
VT§653	100/133	SD-RAM, DDR-RAM 100/133	ProSavage § Grafik	
VT§607				
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
VT§2C596A	4 x 1.1	2 Channel, MC-97 Modem	66	100 Mbit PNA controller
VT§2C686			100	
VT§2C686AVT§231			133	
VT§2C686B			100	
VT§233	6 x 1.1	6 Channel, MC-97 Modem	133	
VT§233A			100	
VT§233C			133	
VT§235	2.0		133	




Rys. 4.26. Chipsety VIA dla Socket 370.

Intel for Dual Socket 370 (Intel Celeron, Pentium III)				
				 
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
840	82840(MCH)	Hub-Link v1.0 266 MB/s	VT82C686A	
815E	82815EP(MCH)		VT82C596B	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
82840(MCH)	100/133	RD RAM 600/800	4x	4 GB max, 4 RIMMs 64 dev. ECC
82815EP(MCH)	66/100/133	SD-RAM 100	n/a	512 MB max, 3 DIMMs 6 rows, 4 MB Graphics
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
82801AA(ICH)	2 x 1.1	2 Channel, Modem	66	no
82801BA(ICH2)	4 x 1.1	6 Channel, Modem	100	MAC/PNA

Rys. 4.27. Chipsety Intel dla Dual-Socket370.

VIA for Dual Socket 370 (Intel Celeron, Pentium III)				
				 
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
Apollo 133 A	VT82C694X	PCI 33 (133 MB/s)	VT82C686A VT82C596B	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
VT82C694X	66/100/133	EDO 66, SD-RAM 66/100/133	4x	2 GB max
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
VT82C596B	2 x 1.1	2 Channel, MC-97 Modem	66	
VT82C686B	4 x 1.1		100	

Rys. 4.28. Chipsety VIA dla Dual Socket 370

Intel for Socket 423 and Socket 478 (Intel Pentium 4)				
				
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
850	82850(MCH)	Hub-Link v1.0 266 MB/s	82801BA(ICH2)	
845	82845(MCH)			
845(D)	82845(MCH)			
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
82850(MCH)	100/133	RD RAM 600/800	4x	2 GB max, 4 RIMMs, 64 dev. ECC
82845(MCH)		SD-RAM 100/133		DDR Unterstützung gesperrt 3 GB, 3DIMMs, 6 rows ECC
82845(MCH)		DDR-RAM 100/133		2 GB, 2 DIMMs, 6 rows ECC
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
82801BA(ICH2)	4 x 1.1	6 Channel, Modem	100	MAC/PNA

Rys. 4.29. Chipsety Intel dla Socket423/478.

SIS for Socket 423 and Socket 478 (Intel Pentium 4)				
tom's hardware guide		SIS		Intel Pentium 4
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
650	SIS650	MuTIOL 533 MB/s	961	
645	SIS645			
SIS 645DX	SIS645DX			
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
SIS650	100/133	SD-RAM, DDR-RAM 100/133	4x	Real 256 TM Grafik
SIS645	100/133	DDR-RAM 100/133/166		
SIS645DX				
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
961	6 x 1.1	AC 97V2.2 (5.1 Sound), Modem	100	100 Mbit PNA2.0

Rys. 4.30. Chipsety SIS dla Socket423/478.

Ali for Socket 423 and Socket 478 (Intel Pentium 4)				
tom's hardware guide		ALI		Intel Pentium 4
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
Aladdin-P4	M1671	PCI 33 (133 MB/s)	M1535D+	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
M1671	100/133	SD-RAM, DDR-RAM 100/133/166		
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
M1535D+			100	

Rys. 4.31. Chipsety ALI dla Socket 423/278.

VIA for Socket 423 and Socket 478 (Intel Pentium 4)				
tom's hardware guide		VIA		Intel Pentium 4
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
P4X 266	VT8753	V-Link 266 MB/s	VT8233 VT8233A VT8233C	
P4X 266 A	VT8753A			
P4X 333	VT8754			
P4X 333 A	VT8755	V-Link 533 MB/s	VT8235	
P4X 400	VT8756			
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
VT8753	100	SD-RAM, DDR-RAM 100/133	4x	
VT8753A				
VT8754	100/133	DDR-RAM 100/133/166		
VT8755	100 / 133	DDR-RAM 100/133/166	8x	
VT8756	100 / 133	DDR-RAM 100/133/166/200	8x	
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
VT8233	6 x 1.1	6 Channel, MC-97 Modem	100	100 Mbit PNA controller
VT8233A	6 x 1.1		133	
VT8233C	6 x 1.1		100	
VT8235	2.0		133	

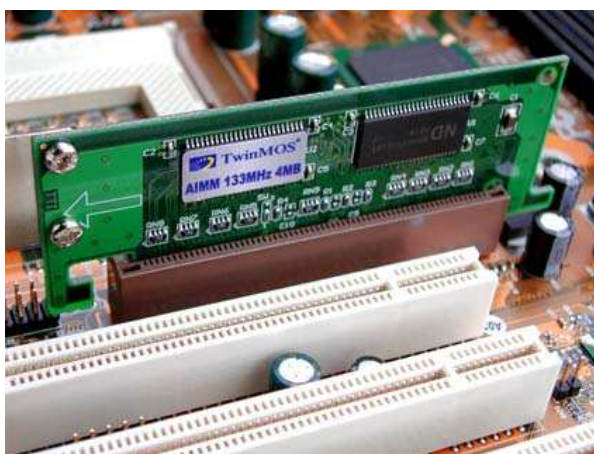
Rys. 4.32. Chipsety VIA dla Socket423/478.

ATI for Socket 423 and Socket 478 (Intel Pentium 4)				
tom's hardware guide		ATI		Intel Pentium 4
Possible combinations of Northbridge and Southbridge				
Chipset	Northbridge	<--- Hub --->	Southbridge	
Radeon IGP 330	IGP330	V-Link 266 MB/s	IXP200	
Radeon IGP 340	IGP340		IXP250	
Radeon IGP 320	IGP 320		VIA VT8233A	
Northbridges				
Northbridges	FSB	Memory (MHz)	AGP	Info
IGP330	100	DDR-RAM 100	4x	Radeon Graphics
IGP340	100/133	DDR-RAM 100/133		Radeon Graphics
IGP 320		SD-RAM 100/133		Radeon Graphics
Southbridges				
Southbridges	USB	AC'97	ATA	LAN
IXP200	6 x 2.0	6 Channel Dolby Surround Sound	100	3 COM 10/100Mbps LAN
IXP250	6 x 2.0			
VT8233A	6 x 1.1	6 Channel, MC-97 Modem	133	10/100Mbps LAN

Rys. 4.33. Chipsety ATI dla Socket423/478.

Ciekawostki.

Przyglądając się dokładnie spotykanym płytom głównym można napotkać się na ciekawostki, o których nawet sami producenci nie wiedzą. Pośród nich znajduje się płyta firmy Acorp, oferująca dwuprocessorową konfigurację Pentium III, opartą na chipsecie i815E. Specyfikacje intelowskiego chipsetu nawet nie wspominają o możliwości takiej pracy.

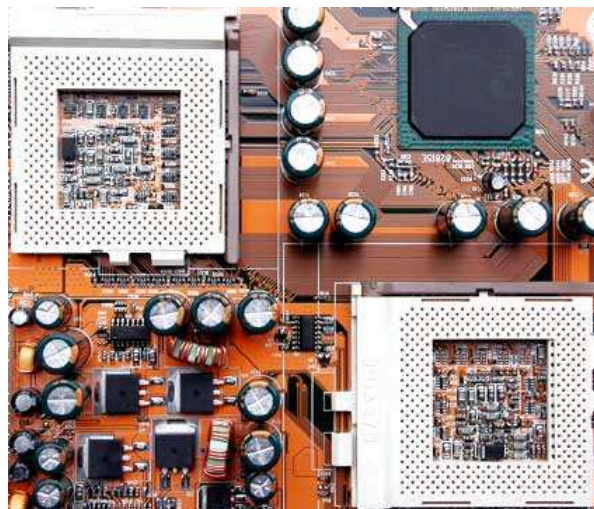


Rys. 4.34. 4 MB pamięci graficznej w formie karty dodatkowej dla chipsetów 81x Intela.

Rzadkością jest płyta i815 produkcji TMC, wyposażona w zintegrowaną pamięć graficzną. Normalnie, wszystkie płyty główne korzystają z głównej pamięci RAM. Inną ciekawostką była płyta z chipseciem i810, posiadająca wbudowane 32 MB RAM. Pozwala to płycie na pracę bez konieczności instalacji modułów pamięci.



Rys. 4.35. Pamięć graficzna (4 MB) na płycie z chipsetem i810.



Rys. 4.36. Dwa gniazda Socket 370 z chipsetem i815E: nawet Intel nic o tym nie wie.

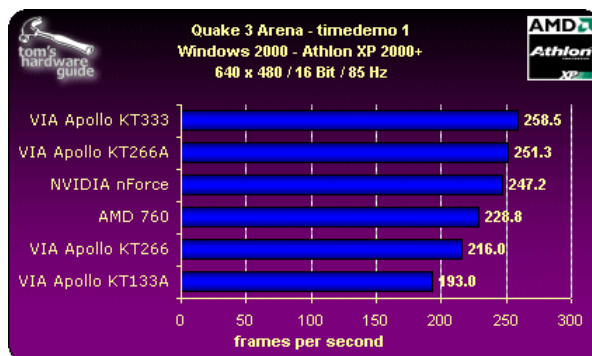


Rys. 4.37. Absolutna rzadkość: pokładowe 32 MB pamięci RAM.

Podsumowanie.

Rozdział ten daje wam możliwość porównania różnych chipsetów poszczególnych producentów. Najbardziej istotną sprawą, o której powinniście wiedzieć, to fakt, iż sam procesor i karta graficzna nie są jedynymi czynnikami mającymi wpływ na wydajność systemu PC. To chipset odgrywa dużo poważniejszą rolę w określeniu wydajności, dostępnych funkcji i ostatecznie - możliwości przyszłej rozbudowy. Z tym problemem zetknęło się wielu użytkowników, którzy kupili kompletne systemy w supermarketach.

Szybki procesor i duży dysk twardy to głośne marketingowo slogany w świecie "megaherców" i "gigabajtów". Te komputery jednak i tak nie wygryają. Powodem tego jest fakt, iż płyta główna zastosowana w tych systemach została zoptymalizowana, ale pod kątem niskich kosztów. Nad tym wszystkim góruje motto producentów OEM: nic nie jest tak tanie, żeby nie mogło być jeszcze tańsze! Wynik: niezwykle tanie systemy szybko nadają się na śmietnik.



Powyższy wykres przedstawia dramatyczne różnice pomiędzy poszczególnymi chipsetami: podczas gdy chipset VIA KT133A (w połączeniu z procesorem Athlon XP 2000+ AMD) osiąga 193 fps, zastosowanie chipsetu VIA KT333 daje wzrost tempa wyświetlania rzędu 25%!

4.6. Zarządzanie poborem mocy (Power Management).

Zarządzanie energią nie zmniejsza wydajności komputera, ale po prostu daje możliwość zmniejszenia ich poboru energii kiedy nie jest w użyciu. Takie energooszczędne maszyny oszczędzają pieniądze (rachunki za elektryczność) i zmniejsz zanieczyszczenie powietrza. Większość oszczędności z zarządzania energią pochodzi od zmniejszenia energii kiedy maszyna nie jest w pełni aktywna - poprzez redukcję wydajności albo uśpienie. Zarządzanie energią w monitorach jest wprowadzane podczas bezczynności systemu (zwykle rozpoznawany poprzez aktywność myszy albo klawiatury). Najczęściej są to tryby wygaszania i wyłączania. Ze względu na to, że nawet w trybie niskiego poboru energii monitor jest zasilany i część elektroniki jest utrzymywana pod napięciem, zatem powrót do normalnej pracy jest szybszy niż pozostałej części systemu.

Komputery oznaczone logiem zgodności ze specyfikacją „Green PC” oferują mechanizm zarządzania energią wbudowany w BIOS. Jest on używany do kontrolowania różnych cech komputera PC pod kątem oszczędzania energii. Idea tego mechanizmu polega na tym, że w zależności od czasu nieaktywności użytkownika, system komputerowy jest sukcesywnie wyłączany, aż do całkowitego uśpienia. Jednakże w momencie wykrycia obecności i aktywności użytkownika system musi zostać wybudzony tak szybko, jak to tylko możliwe. Operacja ta jest realizowana poprzez jednostkę zarządzania energią (ang. PMU – Power Management Unit) znajdującą się na płycie głównej, a wykorzystującą system przerw procesora. Narzędziem pomocnym przy konfiguracji tego systemu jest BIOS, który również pełni kluczową rolę w możliwościach mechanizmu.

Wyróżnić możemy następujące stany aktywności komputera PC:

- **dozing** – spowalnia pracę komputera o około 50%
- **standby** – wyłącza napędy dysków twardych oraz kartę graficzną, jak również w zależności od układów chipset procesora oraz sygnał taktujący SCLK.
- **suspend** – wyłącza wszystkie urządzenia za wyjątkiem procesora
- **inactive** – zatrzymuje pracę procesora, spowalnia taktowanie SCLK i wyłącza pamięć cache L2
- **HDD power down** – wyłącza jedynie dyski twarde

Również możemy wyróżnić kilka standardów zarządzania energią:

- **APM (Advanced Power Management)** – wprowadzony przez duet Intel i Microsoft; jeśli zamierzacie używać opcji suspend to mechanizm ten musi być włączony; odpowiada on również za zamykanie się komputera wraz z wyłączeniem systemu operacyjnego.
- **ATA (AT Attachment Specification)** – wykorzystywany jedynie do zarządzania energią w dyskach IDE; niektóre urządzenia kompatybilne z tym standardem są wyposażone w mechanizm zmniejszania prędkości obrotowej.
- **DPMS (Display Power Management Signalling)** – standard dla monitorów i kart graficznych; urządzenia je wspierające mogą znajdować się w kilku różnych stanach w zależności od przesyłanych sygnałów między kartą graficzną a monitorem.
- **ACPI (Advanced Configuration and Power Interface)** – wprowadzony przez firmy Intel, Microsoft i Toshiba; pozwala na zaawansowane sterowanie pracą urządzeń peryferyjnych jak również głównego systemu.

W każdym z przypadków mechanizm musi zostać wsparty przez BIOS – w dzisiejszych płytach głównych jest to standardem. W zależności od wersji BIOS, producenta i samego systemu opcje mogą się między sobą bardzo różnić, natomiast istnieje pewne wspólne nazewnictwo, które jest przedstawione poniżej:

- **Power Management** – tu możemy ustawić jeden z predefiniowanych poziomów zarządzania energią (wyłączony, min, max, user define)
- **PM lub APM** – włączamy lub wyłączamy mechanizm APM
- **Video Off** – sposób wyłączenia monitora
- **PM Timers** – różnego rodzaju zegarki pozwalające na czasowe zarządzanie energią
- **Soft-On Power BTTN** – opcja pozwalająca zdefiniować sposób wyłączenia komputera z przycisku: natychmiast lub po kilku sekundach przytrzymania guzika

Szerzej i dokładniej opcje BIOS związane z zarządzaniem energią opiszemy dalej.

Jakie płyną korzyści z używania zarządzania energią może uświadomić nam poniższy fragment. Statystycznie czas użycia komputera, w zależności od dnia – roboczy czy weekend – przedstawia poniższa tabelka.

	Procent czasu użycia (%)				Godziny na dzień			
	Aktywny	Bierny	Off	Suma	Aktywny	Bierny	Off	suma
Dzień roboczy	17	35	48	100	4	8.4	11.6	24.0
Dzień wolny	10	26	65	100	2.3	6.9	14.9	24.0

Tabela pokazuje typowy wzór obsługiwanego PC. Typowy scenariusz ma 9.5 godzin w użyciu - cztery godziny aktywnego użycia i 5.5 godzin bezczynnego czasu (obniżonego poboru mocy). Użytkownik nie używa komputera jednego dnia każdego tygodnia. Typowy rok ma około 880 godzin aktywnego czasu, 2280 godzin obniżonego poboru mocy, z pozostałym wolnym czasem. Oszczędności zarządzania energią są funkcją czasu obniżonego poboru mocy i różnicy między użyciem elektryczności w trybach pełnego i obniżonego zasilania. Maszyna pracująca ciągle, ale z wykorzystaniem mechanizmu obniżonego poboru mocy, potrafi zaoszczędzić trzy razy tyle co pokazany powyżej scenariusz. Poniższy wzór pozwala policzyć, ile zaoszczędzimy energii używając mechanizmów jej oszczędzania:

$$E = H_y \cdot L\% \cdot (AP - LP)$$

gdzie:

E – ilość zaoszczędzonej energii

H_y – liczba godzin pracy w roku

$L\%$ - procentowy czas pracy w trybie obniżonego poboru mocy

AP – moc maksymalna

LP – moc obniżona

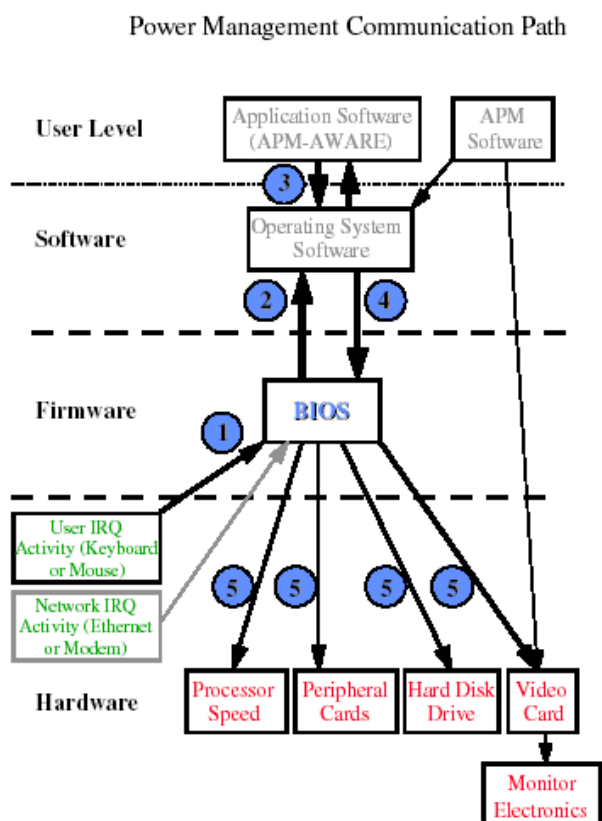
np.:

$$E = 8760 \frac{\text{godzin}}{\text{rok}} \cdot 26\% \cdot (165 - 30) = 307 \frac{\text{kWh}}{\text{rok}}$$

Zarządzanie energią w osobistych komputerach polega na fakcie, że przez większość czasu typowy PC jest włączony, ale nie robi niczego produktywnego. Tak długo jak komputer jest bezczynny, użycie energii może zostać zmniejszone bez przeszkadzania w pracy. Główne metody używane do zmniejszania zużycia energii polegają na spowolnieniu albo zatrzymaniu zegar procesora, spowolnieniu dysku twardego i wyłączeniu całych komponentów systemu, takich jak karty graficzne lub dźwiękowe albo sterowniki dysków. Monitory mogą być wygaszane albo wyłączane. Zarządzanie energią peceta po raz pierwszy zostało wprowadzone w komputerach podręcznych (laptopach), by pozwolić na dłuższy czas pracy baterii, później została przeniesiona do rynku biurkowych PC. Dużo wczesnych systemów zarządzania energią charakteryzowały długie czasy regeneracji, niezgrabne metody konfiguracji i niski poziom oszczędności energii. Jednakże, zarządzanie energią poprawiło się szybko, stając się potężniejszym, godnym

zaufania i łatwiejszym w użyciu; to też teraz umożliwi znacznie więcej oszczędności energii. W 1993, Intel i Microsoft wprowadzili zaawansowane zarządzanie zasilaniem (APM12), który stał się standardem przemysłowym. Standard APM wspiera zarządzanie energią poprzez definiowanie sposobu komunikacji poleceń mechanizmu w systemie PC.

Na rysunku 92 pokazane jak komputery są logicznie zorganizowane jako hierarchiczne



Rys. 4.38. Główne składniki systemu zarządzania energią i ścieżki komunikacyjne. Cyframi oznaczone zostały kolejne kroki inicjalizacji mechanizmu

BIOS jest nadal kluczowym komponentem, ale więcej opcji konfiguracji i kontroli przeniesiono do systemu operacyjnego i czasami do aplikacji. Jednakże, sygnały kontrolne muszą nadal przejść przez każdą pośrednią warstwę by móc zadziałać.

Realizacja zarządzania energią ma cztery komponenty. Pierwszy ma monitorować poziom aktywności procesora, urządzeń wejścia-wyjścia (takie jak klawiatura i mysz) i peryferia komunikacyjne (karta sieciowa albo modem). Drugi komponent używa timerów by zdecydować kiedy zainicjować przełączenie do trybu niższego poboru mocy. Trzeci aktualizuje status zarządzania energią, żeby możliwa była komunikacja z właściwym urządzeniem. W końcu system zarządzania energią potrzebuje rozpoznać aktywność i powrócić do stanu normalnego poboru mocy. Rysunek 92 pokazuje ścieżki komunikacji, które pozwalają mechanizmowi zarządzania energią na poprawne działanie. BIOS wysyła okresowe sygnały (mniej więcej raz na sekundę) do systemu operacyjnego, by zacząć

warstwy. Na szczycie jest oprogramowanie z którym użytkownik oddziałuje bezpośrednio; te bliżej dołu związane są bardziej z fizyczną kontrolą elektrycznych sygnałów. Zarządzanie energią może wymagać oprogramowania użytkowego i obsługiwanego przez system (czasami te nie są wymagane) i zawsze wymaga wspomaganie przez oprogramowanie sprzętowe (BIOS), procesor i urządzenia peryferyjne.

BIOS (Basic Input / Output System) jest połączeniem sprzętu komputerowego i oprogramowania sprzętowego (ang. firmware), odmiennie od systemu operacyjnego pośredniczącego między procesorem i innymi częściami systemu. W pierwszej generacji zarządzania energią (maszyny zbudowane między 1993 a 1994 rokiem) kontrolę sprawował wyłącznie BIOS. Począwszy od 1996,

zarządzanie energią (numer 2). Jeśli ten sygnał zostanie potwierdzony przez system operacyjny, to wywoła działanie timerów zarządzania energią w BIOS-ie. System operacyjny potwierdza sygnał tylko wtedy, gdy nie dostrzega żadnej działalności od oprogramowanie (numeru 3). Jeśli nie ma żadnej działalności, system operacyjny podaje sygnał z powrotem do BIOS (numeru 4), który załącza stoper. BIOS kontynuuje monitoring aktywności klawiatury i myszy (numer 1). Po upływie zadanego czasu - w przypadku braku aktywności, BIOS zainicjuje zarządzanie energią przez wysyłanie odpowiednich wiadomości do konkretnego lub wszystkich dysków, urządzeń peryferyjnych, procesora i karta graficznej (numer 5). Po zainicjowaniu zmiany trybu pracy, BIOS inicjuje inny stoper, który wskazuje kiedy zainicjować następny tryb zarządzania energią. Jeśli w jakimś czasie BIOS otrzyma żądanie przerwania od klawiatury, myszy albo innego urządzenia, BIOS zasygnalizuje powrót do normalnego trybu pracy do wymaganych urządzeń peryferyjnych, procesora i karty graficznej. Zazwyczaj tylko dysk twardy wymaga pewnego czasu na zadziałanie, co jest związane z koniecznością rozkręcenia się.

Komputer bez zarządzania energią odznacza się dwoma stanami: włączony i wyłączony. Kiedy zarządzanie zasilaniem jest włączone, komputer może znajdować się w jednym z - najczęściej - czterech stanów. Kiedy komputer jest aktywny i zasilany pełną mocą, znajduje się on w stanie pełnej mocy (ang. *full-on mode*). Po okresie nieaktywności, komputer może przejść do stanu uśpienia (ang. *doze*) - pierwszego z trzech stanów o obniżonym poborze prądu. W stanie uśpienia system nie pracuje, ale jest w stanie odpowiadać bez dodatkowych opóźnień. Uśpienie nie jest zdefiniowane jako część standardu APM, ale bardzo często dodawane do systemów, które korzystają ze standardu. Przy nieprzerwaniu stanu uśpienia komputer przechodzi do stanu gotowości (ang. *standby*), a następnie do stanu wstrzymania (ang. *suspend*) po kolejnym okresie nieaktywności. Każdy kolejny tryb obniżonego poboru energii odznacza się kolejnym mniejszym zużyciem energii przez procesor. Również czas, jaki jest potrzebny na wyprowadzenie komputera ze stanu obniżonego poboru energii, jest tym dłuższy, im ten poziom jest wyższy. Niektóre komputery, np. wspierane programem *Energy Star*, osiągają obniżenie poboru energii do poziomu 30W w stanie gotowości, jak również 5W w stanie wstrzymania. Nie każda wersja BIOS posiada taką samą liczbę trybów pracy przy obniżonym poziomie zasilania, a nawet jeżeli to i tak ten sam poziom nie musi charakteryzować się taką samą aktywnością podzespołów. Poniższa tabela przedstawia tryby pracy przy obniżonym poziomie zasilania dla typowych systemów BIOS. Należy zwrócić uwagę na niektóre rodzaje aktywności, jak na przykład odpowiedź na zapytania z sieci komputerowej, nie wymagają całkowitego wybudzania komputera, zatem możliwe jest przechodzenie tylko między wstrzymaniem a uśpieniem. Synchronizacja trybów zarządzania energią jest określona przez ustawienia - zazwyczaj w programie BIOS -

wyznaczające opóźnienia pomiędzy poszczególnymi poziomami zasilania. Większość podzespołów jest kontrolowana przez pojedynczy timer. Urządzenia takie jak dyski twarde mogą mieć niezależne timery, ponieważ może być żądanie tylko dostępu do dysku. Rysunek 93 przedstawia jak zmieniają się w czasie poziomy zasilania w odniesieniu do aktywności systemu. Tabela ma zastosowanie do Zaawansowanego Zarządzania Energią (APM) i niekoniecznie do wczesnych (sprzed 1993 roku) podobnych rozwiązań. Do wejścia APM w dany tryb, musi on być włączony i musi zostać określony czas nieaktywności. Należy również zwrócić uwagę, że stan hibernacji (ang. hibernate) nie jest jednym z trybów APM.

Full-on Mode:

- wszystkie komponenty w pełni zasilone, nie aktywowane zarządzanie energią

APM Enabled Mode:

- procesor jest spowolniony lub zatrzymany (w zależności od BIOS)
- pozostałe urządzenia są w pełni zasilane
- niektóre systemy posiadają tryb uśpienia, bardzo zbliżony do APM Enabled

Oszczędność PC: 0-25%

Czas wybudzania: natychmiast

APM Standby Mode:

- procesor może zostać wstrzymany w zależności od operacji lub aktywności, większość urządzeń zostaje wprowadzona w stan niskiego poboru mocy
- monitor zostaje wprowadzony w pierwszy stopień obniżonego poboru mocy
- aktywność może wyprowadzić system do trybu APM enabled lub całkowicie przywrócić zasilanie

Oszczędność PC: 20-30%

Oszczędność monitora: 60-90%

APM Suspend Mode:

- procesor jest zatrzymany, większość urządzeń zostaje wyłączona (za wyjątkiem karty sieciowej)
- maksymalne zachowanie energii zgodne z APM
- aktywność może przywrócić do niższych poziomów zachowania energii: standby, doze lub full-on, zależnie od BIOS

Oszczędność PC: 25-45%

Oszczędność monitora: 0-10%

Czas wybudzania: 3-10 sekund

Hard Disc Power Down: (nie jest to tryb zgodny z APM)

- dysk twardy zostaje zatrzymany, jest to działanie niezależne od mechanizmu APM (dlatego nie jest zgodne z APM),
- system nadal pozostaje całkowicie aktywny lub wyłączony

- elektronika dysku jest nadal zasilana, żeby móc się jak najszybciej "podnieść"

Oszczędność PC: 10%

Czas wybudzania: 3-10 sekund

Hibernate: (nie jest zgodna z APM)

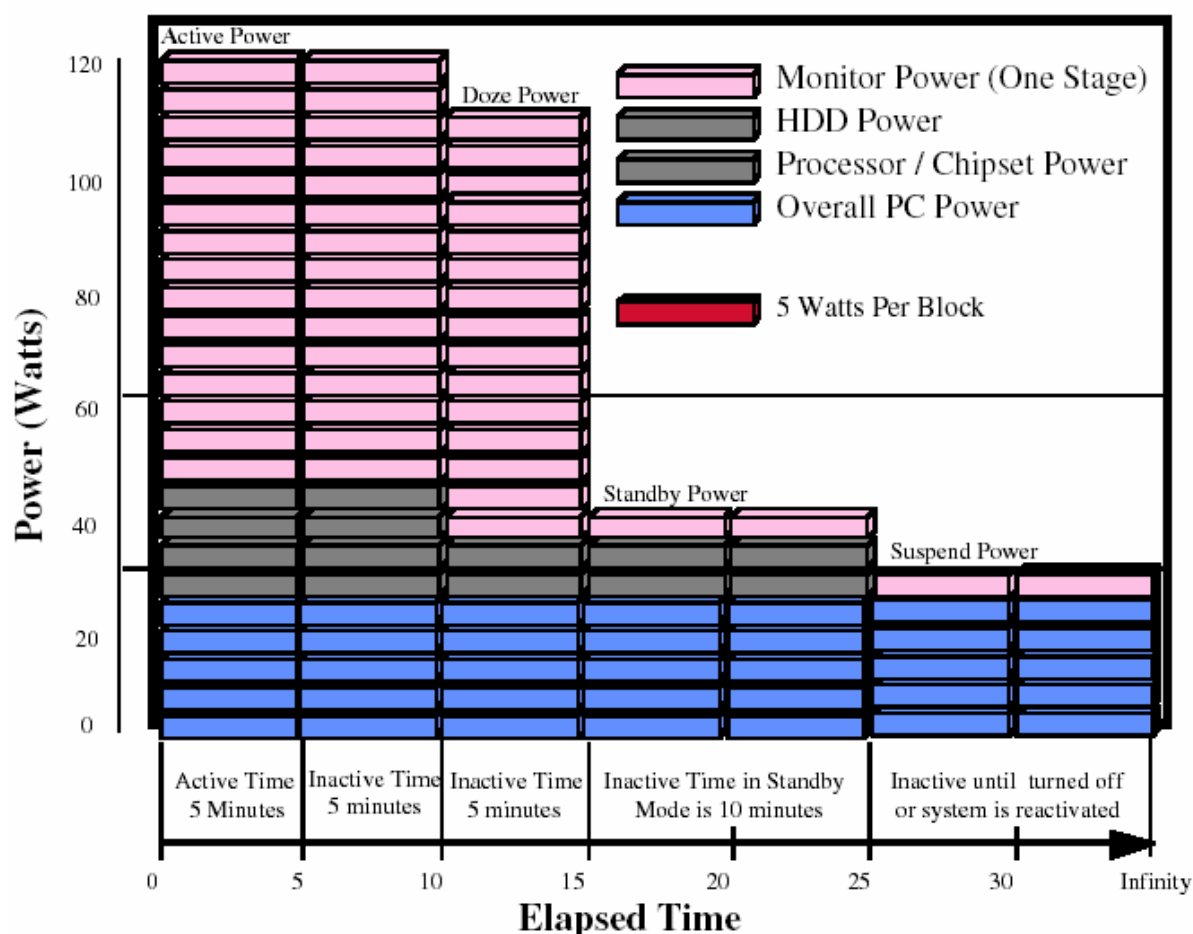
- cała zawartość pamięci i systemu zostaje zapisana na dysku
- system zostaje wyłączony

Oszczędność PC: 90-100%

Czas wybudzania: 15-60 sekund

Off Mode:

- żadne bieżące ustawienia nie zostają zapisane
- sytem zostaje zresetowany i startuje w trybie pełnego zasilania
- większość urządzeń zostaje wyłączona całkowicie



Rys. 4.39. Poziomy zasilania w odniesieniu do aktywności systemu

Sieci komputerowe stanowią specjalne wyzwanie dla zarządzania energią. W zależności od sytemu (sprzęt i oprogramowanie) sieć może częściowo lub całkowicie uniemożliwiać zarządzanie energią, lub też może wymagać dodatkowej konfiguracji. Jak jest coraz

więcej i więcej komputerów podłączonych do sieci, ludzie stają się coraz bardziej uzależnieni od możliwości dostępu do swoich maszyn o każdej porze dnia. Nie tylko indywidualni użytkownicy chcą mieć dostęp do swoich plików, ale również osoby bardziej związane z dostępem do danych niż zwykli użytkownicy sieci. Również oprogramowanie staje się coraz bardziej wyrafinowane, stajemy się mniej świadomi jak wiele maszyn może być potrzebne do wykonania danego zadania. Lokalne sieci komputerowe (LAN) są na ogół połączone pojedynczym protokołem komunikacyjnym i są zazwyczaj ograniczone do jednego miejsca. Specjalizowany sprzęt jest używany do połączenia LAN-ów do innych sieci, jak również do Internetu. Wewnątrz sieci LAN, sieć może pracować na zasadzie bezpośrednich połączeń (ang. peer-to-peer), na zasadzie klient-serwer lub zasadzie heterogenicznej (połączenie obu poprzednich). Utrzymanie połączeń sieciowych w trakcie działania zarządzania energią było problemem dla wielu wcześniejszych systemów. Niektóre z obecnych nadal mają z tym problem, ale większość została przetestowana pod tym kątem i wykazała się prawidłową pracą w różnych systemach sieciowych. Obecnie większość problemów wynika z samej konfiguracji sieci niż ze sprzętu PC. Nie jest wykluczone, że będziesz zmuszony do wykonania własnych testów na sprawność działania zarządzania energią we własnej sieci. W wielu sieciach centralny serwer wysyła do stacji roboczych okresowy sygnał "Jesteś tam?" celem sprawdzenia jego obecności w sieci. Dla wielu komputerów taki sygnał jest wystarczającym przejawem aktywności, żeby wybudzić cały komputer łącznie z monitorem, jednocześnie wyłączając oszczędzanie energii. Z drugiej strony jeśli komputer nie odpowie na taki sygnał, na przykład będąc w stanie uśpienia, to serwer odetnie taką końcówkę od zasobów sieciowych. Kiedy użytkownik samodzielnie wybudzi taki komputer zostanie brak połączenia sieciowego. Ten problem można rozwiązać wyłączając część opcji mechanizmu zarządzania energią, nie zaś całego mechanizmu. Dla przykładu procesor będąc wyłączonym lub pracującym ze zmniejszoną szybkością może nie zareagować dość szybko żeby obsłużyć taką wiadomość, zatem zwiększenie jego szybkości wybudzania może rozwiązać problem. Niektóre nowe BIOSy są zdolne do traktowania aktywności sieci odmiennie niż każdej innej, jak na przykład klawiatury. Aktywność sieciowa na takim PC powoduje jedynie wybudzenie tych składników systemu które są potrzebne do odpowiedzi na komunikat. Dla przykładu procesor może się przełączyć ze stanu zatrzymania do stanu pracy przy mniejszej szybkości, wykonać zadanie, powrócić do stanu zatrzymania. Komputer (cały) nie powraca do trybu pełnego zasilania, jak również monitor nie jest włączany. Rosnąca liczba systemów zapewnia prawidłową obsługę zarządzania energią w komputerach pracujących w sieci i utrzymania całkowitego połączenia z usługami sieciowymi. Niektóre z nich są wyposażane w inteligentne karty sieciowe, które w takich sytuacjach same odpowiadają na wiadomość, bez niepokojenia procesora. Inne - jak opisaliśmy przed chwilą - powodują jedynie częściowe wybudzenie systemu, obsłużenie zgłoszenia i

powrót do stanu poprzedniego. Jeszcze inne posiadają zainstalowany układ, który obchodzi system operacyjny i nie pozwala wejść w stan obniżonego poboru energii. Zarządzanie energią jest bardziej skuteczne w przypadku monitorów niż jednostek centralnych, jak również jest prostsze w realizacji. Warunkiem jednak jest inicjalizacja kolejnych trybów pracy monitora z jednostki centralnej. W porównaniu do zarządzania PC, monitory są zazwyczaj prostsze i potencjalnie bardziej wydajne w oszczędnościach. Co więcej - nie spotkamy się tu z problemami z wpływem obniżonego poboru mocy na pracę np. sieci komputerowej. Z tego też względu ważniejsze jest włączenie zarządzania energią w monitorze, niż w jednostce centralnej. W większości przypadków zarządzanie energią w monitorach jest niezależne od zarządzania energią w PC, ponieważ monitor można wyłączyć przy włączonym komputerze i odwrotnie. Jednakże, jak już wspomnieliśmy, wyłączenie monitora następuje po inicjalizacji z komputera. Wynika to między innymi z tego, że monitor bezpośrednio nie posiada informacji o aktywności użytkownika i nie wie, jak długo już aktywność ta była zerowa, lub też przeciwnie - aktywność się pojawiła i należy się włączyć. Wyjątkiem jest przejście do kolejnego stanu wyłączenia - nawet jeśli z komputera nie zostanie przesłany żaden sygnał monitor, opierając się o wewnętrzne timery, sam przełączy się do stanu bardzo niskiego poboru mocy (lub też się wyłączy). Ze względu że czasy zadziałania monitora i PC mogą się różnić, w większości przypadków, monitor i PC są sterowane przez tą samą aktywność i tak samo rozpoczynane i kończone są przejścia między kolejnymi poziomami trybów oszczędzania energii (wyjątkiem jest tutaj aktywność sieciowa). Niektóre pecety przyciemniają obraz na monitorze, przez co jest on widoczny, ale z mniejszą jasnością. Skutkuje to pewną oszczędnością energii, ale jest ona znacznie mniejsza niż w przypadku uśpienia monitora. Jednakże wyciemnienie stanowi pośredni stan do przejścia do całkowitego wyłączenia monitora, jak również odznacza się natychmiastowym przywróceniem normalnej pracy. Większość monitorów komputerowych jest kontrolowana przez mechanizm DPMS (ang. Display Power Management Signalling), który określa sposób komunikacji między monitorem a jednostką centralną w zakresie zarządzania energią. Żeby było to możliwe zarówno monitor, jak i jednostka centralna, musi być zgodna z tym standardem. Co więcej, PC musi mieć odblokowany ten tryb pracy i być w stanie wygenerować odpowiednie sygnały. DPMS charakteryzuje się podobnymi do używanych w PC trybach APM, czyli uśpienia, wstrzymania). Obydwa dają takie same objawy, to znaczy brak obrazu na ekranie, natomiast stan wstrzymania poza tym, że powoduje większe oszczędności pobieranej energii to wymaga większego czasu na reaktywację. Schemat zadziałania mechanizmu oszczędzania energii jest również przedstawiony na rysunku 92. Jednostka centralna zawsze inicjuje proces we współpracy z układami czasowymi w BIOS-ie, lub też z wykorzystaniem zainstalowanego oprogramowania, na ogół załączanego do karty graficznej. Kiedy nastąpi konieczność

przełączenia trybów pracy monitora, BIOS lub oprogramowanie przekazuje do karty graficznej polecenie wygenerowania odpowiednich sygnałów do monitora. Kolejne przejścia do dalszych trybów oszczędzania energii mogą pojawiać się po sygnalizacji z jednostki centralnej, jak również z wewnętrznych układów czasowych monitora. Niektóre karty graficzne potrafią same wygenerować odpowiednie sygnały, nawet jeśli PC nie posiada odpowiedniego wsparcia dla zarządzania energią, we współpracy z dołączonym oprogramowaniem. Co więcej, dobre oprogramowanie pozwala kartom graficznym niezgodnym z DPMS na wygenerowanie odpowiednich sygnałów. Kiedy monitor jest wybudzany, najczęściej spowodowany aktywnością z klawiatury lub myszy, PC wysyła odpowiedni sygnał do karty graficznej, która wybudza monitor i wyświetla się bieżący obraz. Mimo iż większość monitorów obsługuje już tryby DPMS, to istnieją jeszcze dwie możliwości dostępne w niektórych systemach: wygaszenie ekranu (ang. blanked screen) oraz wyłączenie monitora (ang. switched monitor outlets). Są one użyteczne w starszych wersjach zarządzania energią, ale w późniejszych mogą być niedostępne. Monitor "uniwersalny" powinien zadziałać zarówno na sygnały DPMS jak i na wygaszenie ekranu. Zazwyczaj zamiast wygaszania ekranu, jako pierwszy stopień oszczędzania energii, używany jest wygaszacz ekranu (ang. screensaver), którego zadaniem w przeszłości była minimalizacja wypalania się luminoforu na kineskopie, natomiast dziś pełni on jedynie walory estetyczne ze względu na trwałość powłok w kineskopie. Kiedy taki uniwersalny monitor otrzyma sygnał wygaszenia rozpocznie wewnętrzną procedurę zarządzania energią. Szacuje się, że liczba takich uniwersalnych monitorów wynosi 10%. Niektóre PC posiadają gniazda zasilania monitora wyprowadzone z tyłu obudowy zasilacza. Takie pecety potrafią wyłączyć zasilanie monitora wymuszając tym samym przejście w najwyższy stan oszczędzania energii. Inne pecety, które nie potrafią wygenerować sygnałów DPMS, polegają jedynie na wyłączeniu zasilania jako metody zarządzania energią. Co więcej, w przypadku podłączenia monitora do zasilacza w PC, razem z wyłączeniem komputera zostanie odcięte zasilanie od monitora.

4.7. Program BIOS Setup.

Podstawowe ustawienia dla komputera PC wykonywane są w programie BIOS-Setup, który posiada każdy komputer tej klasy, a jest on zawarty w podtrzymywanej baterią pamięci CMOS. W momencie zakupu komputera najważniejsze parametry są ustawione przez producenta, przy czym zasada jest taka, że są to ustawienia przy których komputer ma działać pewnie, co nie oznacza że z najwyższą wydajnością. Dlatego warto wiedzieć co i gdzie zmienić. W momencie uruchamiania komputera na monitorze zostają wyświetlone różne informacje, jak na przykład typ karty graficznej, numer wersji BIOS-u i jego producencie. Na ogół wyświetlony jest również sposób uruchomienia programu Setup, a jeśli nie to zazwyczaj jest to jedna z kombinacji klawiszy: DEL, F1, CTRL+ESC, TAB, CTRL+F1. Szczegółowych informacji należy szukać w instrukcji załączonej do płyty

głównej lub bezpośrednio u producenta BIOSa. Wygląd programu Setup i szczegółowy zakres konfigurowanych urządzeń zależy jest od typu komputera, wbudowanego wyposażenia i producenta BIOS. W praktyce możemy spotkać się z trzema największymi producentami: AMI (American Megatrends Incorporated), Phoenix i Award. Z BIOSami AMI i Awarda najczęściej spotkamy się w systemach stacjonarnych, zaś z Phoenix w komputerach przenośnych. Zdarzają się czasami takie sytuacje, że mając w ręku dwie identyczne funkcjonalnie płyty główne od dwóch różnych producentów różnią się one możliwościami konfiguracyjnymi. Wynika to z faktu, że niektórzy producenci ograniczają je uważając, żeby użytkownik sam sobie nie narobił szkody. Najczęściej jest to spotykane w BIOS-ach firmy Phoenix, związanej z firmą Intel.

Ręczna konfiguracja zasobów komputera może się wiązać z pewnym ryzykiem, głównie chodzi tu o niemożliwość późniejszego uruchomienia systemu, zwłaszcza przy zmianach ustawień zaawansowanych lub dotyczących układów zintegrowanych chipset. Jeśli nam się tak przydarzy to mamy dwa wyjścia. Ponieważ zawartość ustawień jest przechowywana w pamięci CMOS podtrzymywanej bateryjnie, należy bądź to odszukać na płycie głównej zworkę odpowiedzialną za czyszczenie jej, bądź na kilkanaście sekund wyjąć z płyty baterię, po czym umieścić ją znów na swoim miejscu. Oczywiście obie te operacje należy wykonywać przy wyłączonym zasilaniu. W większości przypadków konfiguracja BIOS-u obejmuje kilka ekranów. Na pierwszym z nich mamy na ogół do wyboru następujące opcje:

- **Standard CMOS Setup** – ustawienia podstawowe,
- **BIOS Features Setup** (Award), **Advanced CMOS Setup** (AMI) – ustawienia rozszerzone,
- **Chipset Features Setup** (Award), **Advanced Chipset Setup** (AMI) – ustawienia specjalne dotyczące układu zintegrowanego,
- **Power Management Setup** – ustawienia funkcji oszczędzania poboru energii,
- **Load Setup Defaults** – załadowanie ustawień domyślnych BIOS-u, które należy uaktywnić w ostateczności, gdy wszystko zostało „rozkonfigurowane”. Zmieniane są jedynie niektóre podstawowe ustawienia – zdarza się że niewłaściwie. Koniecznie należy przeprowadzić ręczną korekcję.
- **Password Settings** – ustalenie hasła chroniącego komputer przed dostępem osób niepowołanych. Mamy możliwość ustanowienia hasła bądź dostępu do całego komputera, bądź tylko do BIOS-a.
- **IDE HDD Auto Detection** – automatyczne określenie parametrów zainstalowanych dysków twardych.
- **Save & Exit Setup** – zapisanie ustalonych danych konfiguracji BIOS-a w pamięci CMOS RAM I opuszczenie programu Setup. Wymagane jest potwierdzenie klawiszem **Y** opuszczenia programu.

- **Exit without saving** – opuszczenie programu Setup bez zapisywania zmian.

Wymienione pozycje są tylko przykładowymi. Wielu producentów umieszcza w programie Setup również własne opcje specjalne, takie jak **PnP/PCI Configuration, Integrated Peripherals, SmartDoc Anti-Burn shield, Frequency/Voltage Control**¹³. Szczegółowych opisów kolejnych pozycji menu należy szukać w instrukcji załączonej do płyty głównej. W dalszej kolejności zajmiemy się omówieniem zawartości poszczególnych grup ustawień.

Standard CMOS Setup.

Zawiera podstawowe możliwości ustawień dla komputera PC. Jeśli ustawimy tu dane niezgodne z posiadanym sprzętem może dojść do niemożności uruchomienia komputera. A oto co możemy ustawić:

Date, Time – data i czas zegarowy, powinny być zgodne z rzeczywistym,

Hard Disks – typowy komputer obsługuje do czterech dysków twardych, co wynika ze standardu EIDE. Do każdego z kanałów (a jest ich dwa) możemy podłączyć po jednym dysku Master i jednym Slave. Oczywiście możemy jako dysk podłączyć napęd CD-ROM, jednak dla niego nie ustawiamy żadnych dodatkowych parametrów. W przypadku gdy korzystamy z dysków SCSI w ustawieniach niniejszych ustawiamy *None* (czyli brak dysków). Nawet w najnowszych konstrukcjach oprócz własnych ustawień mamy do dyspozycji wbudowaną listę dysków twardych jednak w 10% nieaktualną – obejmuje ona dyski od 10 do 100 MB i dotyczy w zasadzie starych dysków MFM i RLL. My będziemy zajmować się typem *User* (często oznaczanym numerkiem 47) umożliwiającym ręczne wprowadzanie takich parametrów jak:

- **CYLS** – liczba cylindrów,
- **HEAD** – liczba głowic,
- **PRECOMP** – Write-Precompensation, tutaj podawany jest cylinder, od którego powinna działać wstępna kompensacja zapisu dla dysku twardego. Dane do zapisania są przestawiane w ten sposób, że w warstwie magnetycznej dysku twardego ma miejsce możliwie najmniejsza zmiana strumienia, co podwyższa bezpieczeństwo danych dla starych dysków MFM. O ile producent dysku nie poda inaczej, to w przypadku dysków EIDE nie są tutaj wymagane żadne dane, ponieważ pracują one w oparciu o inną metodę (Zone Bit Recording).
- **LAND ZONE** – oznacza strefę parkowania głowic dysku twardego, w której po wyłączeniu zasilania są one pozostawiane. W przypadku dysków EIDE nie są tu wymagane żadne dane.

¹³ Na podstawie instrukcji do płyty Solek SL-75DRV

- **SECTOR** – liczba sektorów. Z danych na temat liczby sektorów, cylindrów i głowic, przy wielkości sektora 512 bajtów, automatycznie wyliczana jest dostępna pojemność twardego dysku, która wyświetlana jest w kolumnie *Size*.

Jeżeli poszczególne pozycje dotyczące parametrów dysków nie są znane możemy posłużyć się narzędziem dostępnym w menu głównym pod nazwą *IDE HDD Auto Detection*. Dyski twarde EIDE stosują tryb translacji, który przetwarza dane logiczne na dane fizyczne (rzeczywiste). Optymalne wykorzystanie pojemności dysku udaje się jednak uzyskać przy zastosowaniu danych określonych przez producenta. W przeciwieństwie do trybu Standard IDE, tryb Enhanced IDE umożliwia obsługę dysków twardych o pojemności większej niż 528 MB. W programie BIOS-Setup możemy ręcznie ustawić tryb pracy dysku:

- **Normal** lub **Standard CHS (Cylinder Heads Sectors)** – dla dysków o maksymalnej pojemności do 528 MB.
- **Large** lub **Extended CHS (ECHS)** – dla dysków o maksymalnej pojemności większej niż 528 MB, które nie obsługują trybu LBA. Ten tryb pracy jest raczej nietypowy i przeznaczony raczej dla systemu DOS.
- **LBA** lub **Logical Block** – Logical Block Addressing jest standardowym trybem dla dysków o pojemności większej niż 528 MB.
- **Auto** – dysk twardy jest konfigurowany automatycznie i ustawiany optymalny tryb PIO. W przypadku starszych dysków twardych IDE ustawienie to może spowodować problemy (dysk nie zostanie w ogóle rozpoznany lub rozpoznany nieprawidłowo) a więc zamiast tego trybu powinien być użyty tryb CHS lub LBA.

Jeżeli nasz BIOS nie obsługuje dysków większych niż 512 MB należy go uaktualnić lub użyć programów typu *EZ Drive* lub *DiskManager*.

Drive A, Drive B.

Ustalamy tutaj typy używanych stacji dyskietek. Do dyspozycji mamy:

- 360 KB 5,25"
- 720 KB 3,5"
- 1,2 KB 5,25"
- 1,44 MB 5,25"
- 2,88 MB 3,5"
- None lub Not Installed

Najbardziej typowym napędem jak do tej pory jest napęd 1.44 MB. Typ napędu 2.88 MB nie ugruntował swojej pozycji na rynku, a napędy 5.25" montowane są na specjalne życzenie. Jeśli w systemie mamy tylko jeden napęd to w przypadku drugiego wybieramy ostatnią opcję *None*. Napędy typu ZIP lub LS120 należy konfigurować jako napędy IDE, a nie jako dyskietki.

Video.

dla karty grafiki (nie dla karty wideo) dostępne są zwykle następujące możliwości ustawień:

- Monochrome (Hercules, MDA)
- Color 40x25 (CGA40)
- VGA/PGA/EGA (Color)
- Not Installed...

Podany typ karty graficznej jest wymagany tylko do inicjalizacji systemu i w żaden sposób nie oznacza, że dana karta wskutek tego musi być użytkowana jako standardowa karta VGA (640x480 punktów obrazu ponieważ następnie – w większości przypadków – załadowane zostają sterowniki do posiadanej karty graficznej).

Halt On.

Jeśli ustawiona jest opcja All errors, wówczas przy wykryciu dowolnego błędu podczas inicjalizacji, komputer PC wstrzymuje pracę i wyświetla komunikat błędu. Zdarzają się jednak sytuacje, że klawiatura lub napęd dyskietek nieprawidłowo zostaną uznane za uszkodzone, a mimo to po inicjalizacji działają bez zarzutu. W takim przypadku można wykonać odpowiednie przełączenie, dzięki któremu komunikat błędu jest blokowany i komputer może zostać uruchomiony:

- All Errors
- No Errors
- All, But Keyboard
- All, But Diskette
- All, But Disk/Key

Zaleca się jednak ustawienie opcji All Errors. W pewnych sytuacjach sensowne jest też ustawienie ostatniej opcji, oznaczającej nie uruchamianie się komputera gdy w stacji dyskietek jest włożona dyskietka.

Memory.

Danych na temat pamięci nie możemy zmieniać w programie BIOS-Setup, ponieważ każdorazowo wielkość pamięci jest określana automatycznie przez BIOS, przy czym suma poszczególnych pozycji pamięci (Base, Extended, Other) musi odpowiadać wielkości zainstalowanej pamięci DRAM. Jeżeli w tym punkcie wystąpi niezgodność w stosunku do wielkości zainstalowanej pamięci RAM, wówczas można spróbować w rozszerzonej konfiguracji (*Chipset Feature Setup*) ustawić niekrytyczne wartości dla pamięci DRAM (np. DRAM wait Stae, DRAM Burst Timing). Jeśli po ponownym uruchomieniu systemu wskazanie pamięci nie ulegnie zmianie, to pomoc może tylko wymiana modułu lub modułów pamięci. Niekiedy występuje tylko pozorna niezgodność we wskazaniu łącznej pojemności pamięci, gdy dla określonych obszarów włączona jest pamięć lustrzana RAM (Shadow RAM).

[BIOS Features Setup](#)

Czasem – w zależności od producenta BIOS i płyty głównej – może się nazywać *Advanced Setup*, *BIOS Features Setup*, *Chipset Features Setup*. Elementy jakie tu znajdziemy zależą od takich elementów jak BIOS, układ chipset, płyta główna i typ komputera. Z tego względu poniżej omówimy tylko te najczęściej spotykane, głównie firmy Award¹⁴.

Virus Warning, BootSector Virus Check.

Włączenie tej opcji w pewnym stopniu zapewnia bezpieczeństwo zmiany zawartości sektora początkowego dysku twardego lub dyskietki na skutek działalności wirusa. Zasada jest jednak taka, że włączamy tę opcję dopiero po zainstalowaniu systemu operacyjnego. W praktyce jego funkcjonalność jest niewielka, a czasem nawet uciążliwa, gdyż zdarzają się sytuacje gdy chcąc zainstalować nowy program nie możemy tego zrobić ze względu na komunikat o obecności wirusa, którego tak właściwie nie ma. Niezależnie od wyboru – włączony, czy wyłączony – należy zainstalować w systemie zewnętrzne oprogramowanie antywirusowe.

Ustawienia pamięci podręcznej.

Przede wszystkim mamy dwie opcje dotyczące pamięci podręcznej wewnętrznej i zewnętrznej. Ze względu na wydajność systemu zaleca się, aby obie pozostawały włączone. Ponieważ pamięć ta pracuje z dużymi częstotliwościami powoduje to znaczne wydzielanie się ciepła, co z kolei może skutkować błędami przy uruchamianiu programów. Jeśli uzyskujemy często komunikaty o błędach w trakcie działania systemu testowo zaleca się wyłączenie jednej lub obu pamięci podręcznych, jednak należy się uzbroić w cierpliwość podczas pracy. W niektórych wersjach BIOS-u możemy spotkać się z dodatkowymi opcjami ustawienia pamięci, takimi jak strategia aktualizacji pamięci podręcznej (*Cache Update Policy*), dostęp do zapisu pamięci podręcznej (*Cache Write Hit Wait State*), dostęp do odczytu pamięci podręcznej (*Cache Read Hit Burst* lub *SRAM Read Burst Control*).

Quick Power On Self Test.

Jeżeli tę opcję pozostawimy włączoną (Enabled), wówczas autotest wykonywany jest w krótszym czasie. Funkcję tę należy włączyć jednak dopiero wtedy, gdy komputer działa już optymalnie, ponieważ w opcji Quick POST niektóre punkty, jak test pamięci, wykonywane są tylko częściowo.

Boot Sequence.

Parametr ten określa kolejność, w jakiej BIOS będzie szukać systemu operacyjnego w napędach. W starszych programach BIOS mamy tylko dwa ustawienia dotyczące dysku i

¹⁴ dużą część omówionych funkcji znajdziemy też u innych producentów, jednak różniących się nazwą.

dyskietki, zaś w nowszych mamy znacznie więcej możliwości z CDROM-em włącznie, a ponadto możemy określić dodatkowe źródła przeszukiwania systemu.

Boot Up Floppy Seek.

Jeśli ta opcja jest wyłączona (Disabled), wówczas przy uruchamianiu systemu nie jest sprawdzany typ napędu. Ustawienie to ma sens tylko w momencie podłączenia napędu starego typu o pojemności 360 kB.

Swap Floppy Drive.

W typowej konfiguracji napęd dyskietek A: odpowiada standardowi 3.5", a napęd B: - 5.25". Kolejność ta jest ustalona przez podłączenie do sterownika, przy czym napęd A: wykorzystuje kabel z obróconymi stykami. Jeśli to przyporządkowanie ma być zmienione (swap), ponieważ np. w napędzie A: oczekiwana jest dyskietka 5.25" z programem instalacyjnym, to wystarczy tylko uaktywnić ten punkt menu, a nie trzeba, jak kiedyś, wykonywać zmian w okablowaniu.

Boot Up Num Lock Status

Punkt ten wybiera funkcję prawego bloku numerycznego klawiatury, który może być wykorzystywany do wprowadzania liczb (On) lub do sterowania kursorem (Off).

IDE HDD Block Mode.

Ustawienie to przyspiesza transfer danych poprzez odczytywanie kilku sektorów przy jednym "podejściu". Jeżeli ustawimy tę opcję na *Enabled* to BIOS wykryje czy nasz dysk udostępnia nam taką możliwość, a jeśli tak to zoptymalizuje ilość odczytywanych sektorów. Maksymalnie, podczas jednego przerwania, może zostać przesłanych do 64kB danych. Haczykiem w tym punkcie jest to, że niektóre systemy operacyjne, jak np. Windows NT, nie obsługują blokowego transferu danych i włączenie tej opcji może zakończyć się utratą danych. Jeśli zaś wyłączymy tę opcję przesyłane będą paczki po 512 bajtów.

32-bit disk Access

Ustawienie to jest nieco mylące, ponieważ nie realizuje ono fizycznie dostępu 32-bitowego do dysku, ale umożliwia przesłanie dwóch słów 16-bitowych przy jednym przerwaniu. Włączenie tej opcji powoduje bardziej efektywną pracę magistrali, jak i mniejszą liczbę przerwania potrzebnych do przesłania określonej liczby danych. Podobnie jak w przypadku poprzedniej opcji, również ta nie jest obsługiwana przez system Windows NT i należy ją w tym przypadku wyłączyć.

Security Options

Komputer może być chroniony hasłem, jak już wcześniej zostało wspomniane, a w tym punkcie decydujemy czego ma dotyczyć hasło: dostępu do komputera, czy dostępu do BIOS-a.

Gate A20 Option, Port 92 Fast A20 G

Opcja przełączania do trybu chronionego. W tym miejscu ustalamy metodę przełączania bramki A20, przy czym domyślne ustawienie *Fast* należy pozostawić, ponieważ zmiana na *Normal* powoduje jedynie obniżenie wydajności.

Fast A20 jest sterowane z układu chipset

Normal A20 jest sterowane za pomocą sterownika klawiatury

PCI/VGA Palette Snooping

Ustawienie to zaleca się włączać w zasadzie dla kart wideo opartych na magistrali ISA (np. tunery TV, karty zapisu obrazu) – nie kart graficznych. Dzięki temu dostępy do wejścia / wyjścia do rejestru palety są odtwarzane również na magistrali PCI. Jest to potrzebne np. wówczas, gdy karta wideo jest sterowana przy wykorzystaniu złącza Feature Connection karty grafiki PCI. W przeciwnym razie karta wideo nie otrzyma żadnych informacji o zmianie kolorów i mogą być wyświetlone niewłaściwe kolory lub obraz zniknie całkowicie.

Shadow RAM.

Zarówno dla BIOS-u karty grafiki, jak i dla innych obszarów w segmencie adaptera grafiki, może być ustalona opcja pamięci lustrzanej RAM (Shadow RAM). Jeśli obszar, w którym znajduje się BIOS karty rozszerzenia lub również BIOS systemu, zostanie przełączony w pozycję Enabled, wówczas procedury BIOS systemu z 8-bitowej i wolniejszej pamięci BIOS-ROM zostaną skopiowane do odpowiedniego obszaru pamięci RAM. Z praktycznego punktu widzenia w dzisiejszych komputerach nie ma praktycznie żadnego przyrostu wydajności (lub spadku), ponieważ system Windows praktycznie nie odwołuje się do urządzeń poprzez procedury BIOS.

Assign IRQ for VGA

Wiele ze współczesnych akceleratorów wymaga, aby ustawienie to była włączone. Powoduje to zwiększenie wydajności karty graficznej, jak i poprawne jej funkcjonowanie. Natomiast jeśli nie posiadamy karty graficznej wymagającej przypisania przerwania powinniśmy wyłączyć tę opcję przez co udostępnimy jedno przerwanie dla innych urządzeń.

OS Select for DRAM >64MB

Jeżeli w korzystamy z systemu operacyjnego OS/2 i posiadamy w komputerze zainstalowane więcej niż 64 MB pamięci RAM powinniśmy włączyć tę opcję. W każdym innym przypadku – wyłączyć.

HDD S.M.A.R.T. Capability

Opcja włącza / wyłącza wsparcie dla technologii SMART (Self Monitoring Analysis and Reporting Tool) dysków twardych. Technologia ta jest obsługiwana przez wszystkie aktualnie produkowane dyski twarde i zapobiega nagłym i nieodwracalnym uszkodzeniom napędów. Wyłączając tę opcję nie uzyskamy żadnej różnicy w wydajności dysku, a zalecanym ustawieniem jest – *włączony*.

Chipset Features Setup

Menu to bywa też nazywane Advanced Setup. Jego zawartość może być różna w różnych modelach płyt głównych z zaprogramowanymi BIOS-ami różnych producentów i w różnych wersjach. To właśnie tutaj ustala się parametry pracy układu zintegrowanego, czyli chipset. Możemy tu ustawić takie elementy jak:

- taktowanie pamięci DRAM (standardowa, szybka stronicowa), EDO i SDRAM,
- tryby pracy magistrali PCI (bufor, tryb Burst, stany oczekiwania),
- ustawienia ISA (zegar, powrót do normalnego stanu wejścia/wyjścia)
- ustawienia układów zarządzających (temperatura procesora¹⁵, prędkość procesora)

W temacie **ustawień pamięci** – mamy dużo możliwości, zależnych jednak od producenta BIOSu i płyty głównej – ile z nich nam udostępnił. Co więcej – opcje te zależą w dużej mierze od zainstalowanych w systemie modułów pamięci. Najprostszym przypadkiem jest ustawienie opcji *Auto Configuration* w pozycji *Enabled*, co powoduje automatyczne odczytanie parametrów modułów pamięci z nich samych i prawidłowe ustawienie. Czasami wymaga się od nas podania czasu dostępu do wykorzystywanych modułów SDRAM (najczęściej 50, 60 ns). Oczywiście mamy możliwość ręcznego ustawiania parametrów pracy pamięci, jednak zaleca się to robić tylko w przypadku niestabilnej pracy systemu przy ustawieniach nominalnych. Czasami można poeksperymentować zwiększając nieznacznie ustawienia te na nieco bardziej wymagające, co może skutkować przyspieszeniem działania komputera. Jeśli okaże się, że posiadane przez nas moduły pamięci charakteryzują się czasem dostępu 70ns i nie nadążają za ustawieniem 60ns niezbędne może okazać się wstawienie do cykli dostępu do pamięci dodatkowych taktów oczekiwania: opcje *DRAM Precharge Wait State* oraz *DRAM Wait State*. Podobnie ma się sprawa z ustawieniem *DRAM Burst* i w najgorszym przypadku należy ustawić opcję *x-3-3-3-3*. Każda kombinacja z mniejszymi cyframi oznacza szybszą pracę pamięci.

SDRAM CAS Latency Time.

Ustawienie to dotyczy liczby cykli pomiędzy odebraniem rozkazem odczytu z pamięci a pierwszą paczką danych. Innymi słowy jest to czas przetworzenia (zinterpretowania) rozkazu. Do wyboru mamy dwie opcje – 2 lub 3. Domyślnie ustawione jest 3 i jest to stan zalecany. Jeżeli posiadamy firmowe kości pamięci (np. Kingston, Nanya) możemy

¹⁵ informacji o zmiennych środowiska, takich jak temperatura procesora oraz odczytana z zewnętrznego czujnika, prędkości obrotowe wiatraczków i związane z nimi ustawienia, np. włączanie się alarmów, bywa wyeksponowane jako osobne menu, nazywane np. Hardware Monitor Setup lub podobnie.

spróbować przestawić opcję na 2 – wtedy nasz system będzie szybciej pracować, jednak może wystąpić niestabilne zachowanie się systemu.

SDRAM RAS-to-CAS delay

Opcja ta umożliwia ustawienie liczby taktów między sygnałami RAS i CAS. Do wyboru mamy dwie opcje – 2 lub 3. Im mniej ustawimy, tym szybciej będzie pracować pamięć, jednak może spowodować niestabilne działanie systemu.